




CU
CoSta
Sur

UNIVERSIDAD DE GUADALAJARA
CENTRO UNIVERSITARIO DE LA COSTA SUR
DEPARTAMENTO DE INGENIERÍAS

Manual de Prácticas de Laboratorio

Diseño Electrónico Digital

Laboratorio de Electrónica

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Elaborado por:

1. ING. JUAN IGNACIO AVELAR MIRANDA
2. ING. JOSÉ VALENTIN AGUIRRE CHAVEZ
3. ING. ISAO PEIRO SUAREZ
4. MTRO. LUIS ALBERTO AMBRIZ LÓPEZ
5. MTRA. ANDREA ALEJANDRA HERNÁNDEZ DEL RIO
6. MTRO. JOSÉ EDUARDO HERNÁNDEZ HARO
7. MTRO. JOSÉ LUIS DOMINGUEZ RUIZ
8. MTRO. JOEL MORAN RODRÍGUEZ
9. DR. JORGE ARTURO PELAYO LÓPEZ
10. DR. DOMINGO VELÁZQUEZ PÉREZ

Presidente de la Academia.


Dr. DOMINGO VELÁZQUEZ PÉREZ

Responsable del Laboratorio de Electrónica.

MTRO. JOSÉ EDUARDO HERNÁNDEZ HARO

Jefe del Departamento de Ingenierías.

DR. DANIEL EDÉN RAMÍREZ ARREOLA

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

OBJETIVO GENERAL.

El estudiante analizará, diseñará, simulará e implementará los circuitos electrónicos digitales empleando las diferentes herramientas como son el algebra booleana, las compuertas lógicas, la lógica combinacional, la lógica secuencial y los lenguajes para descripción de hardware. Por último, manejará los FPGA para configurarlos con las técnicas previamente mencionadas.

CONSIDERACIONES GENERALES

El estudiante debe cumplir con el Reglamento General de Uso de Laboratorios publicado en el “Compendio de reglamentos del Departamento de Ingeniería”.


SEGURIDAD E HIGIENE EN EL USO DEL LABORATORIO

En caso de alguna contingencia (sismo, incendio o cualquier evento que ponga en riesgo su integridad) evacue el laboratorio inmediatamente, siguiendo las normas de seguridad implementadas en los simulacros.


Así mismo es de suma importancia que los usuarios que hagan uso de las instalaciones de los laboratorios, conozcan las ubicaciones de los extintores, botiquines de primeros auxilios y salidas de emergencia.

Es importante resaltar los siguientes puntos referentes a la seguridad e higiene que se deben seguir para el uso de laboratorio y que se encuentran plasmados en el reglamento interno del laboratorio:

1. Mantener y dejar limpia su área de trabajo.
2. No arrojar papeles ni basura al piso.
3. No introducir alimentos y bebidas.
4. No fumar.
5. El alumno deberá dejar su mochila y/o bolsa en los estantes designados para los mismos, respetando todo objeto ajeno que allí se encuentre.
6. Preferentemente no encender radios, grabadoras o cualquier otro aparato que reproduzca música. Sólo lo podrán hacer si se usan audífonos.
7. Está prohibido sentarse sobre las mesas de trabajo o pararse en las sillas.

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

8. El alumno debe comportarse adecuadamente dentro de las instalaciones del laboratorio, hacer uso apropiado del lenguaje oral y escrito; respetar a sus profesores, compañeras y compañeros de clase.
9. Antes de iniciar las prácticas, el maestro inspeccionará las condiciones físicas del laboratorio y de encontrar situaciones que representen riesgo grave, deberá reportar dicha situación al responsable del laboratorio y/o al asistente o auxiliar del mismo, para que sea corregida, en caso de que no exista la posibilidad de atención inmediata, la práctica será suspendida.
10. Si durante la práctica surgiera una condición que ponga en riesgo grave la Seguridad y Salud de las personas, equipos, materiales o instalaciones se procederá a suspender la práctica debiendo informar de la situación al responsable de laboratorio, asistente o auxiliar del mismo, elaborando por escrito el reporte correspondiente.
11. El profesor deberá cumplir con el uso del equipo de protección personal básico de laboratorio. El Maestro que no cumpla con estos requisitos no podrá realizar la práctica. El Auxiliar notificará la situación al responsable de Laboratorio y/o al Jefe de Departamento quien elaborará un reporte de faltas al reglamento.
12. Es responsabilidad del profesor verificar que antes de iniciar la práctica, todos los alumnos cuenten con el equipo de protección personal y el código de vestimenta necesario para realizar la práctica. El alumno que no cumpla con los requisitos anteriores, no podrá realizar la práctica.
13. El profesor deberá asegurarse que los alumnos utilicen adecuadamente el equipo de protección personal durante el desarrollo de la práctica.
14. El profesor llevará un registro de los alumnos que sean observados sin usar su equipo de protección personal o usándolo de manera inadecuada, cada registro contará como una falta al Reglamento del Laboratorio.
15. La acumulación de 4 faltas al Reglamento del Laboratorio, implica la suspensión para el alumno de la práctica en el semestre y la no acreditación de la misma.
16. El profesor deberá permanecer en el laboratorio durante todo el desarrollo de la práctica.
17. Por razones de Seguridad y Orden está prohibido en el Laboratorio:

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

- Correr.
- Fumar.
- Usar sombrero, gorra y/o pañoleta en la cabeza.
- Ingresar personas ajenas a la institución o al grupo que desarrolla la práctica.
- Usar calzado inadecuado.
- Usar el cabello largo (las personas con esta característica deberán recoger su cabello y sujetarlo adecuadamente, como medida de prevención para evitar el contacto con el fuego o sustancias peligrosas).
- Usar pantalón corto o bermuda.
- Y en general todo acto y/o conducta que incite al desorden.

18. Todo alumno que sufra una lesión deberá reportarla al maestro encargado de la práctica y de no encontrarse éste, deberá dirigirse con el responsable de Laboratorio y/o asistente del mismo.

19. Todo trabajador universitario que sufra una lesión deberá reportarla a su jefe inmediato.

20. Todo accidente ocurrido en los laboratorios deberá ser atendido para su control, por la primera persona capacitada y enterada de la situación.


21. Al término de la práctica, el maestro será responsable de supervisar que los alumnos ordenen y limpien su lugar de trabajo. Asegurando que el laboratorio sea entregado a la administración del laboratorio, en condiciones óptimas.

22. La persona que se presente bajo el influjo de alcohol o drogas, que incurra en actos de violencia, daño a la propiedad intencional o negligencia o tome objetos o valores sin autorización será reportado de manera inmediata ante la H. comisión de sanciones del CU Costa Sur.

SEGURIDAD EN LA EJECUCIÓN DE LAS PRÁCTICAS.

Para el desarrollo de las prácticas se pueden presentar los siguientes peligros y su riesgo asociado y es importante que el estudiante los considere y tome las medidas de prevención pertinentes:

| No. | Peligro o fuente de energía | Riesgo asociado |
|-----|-------------------------------|------------------------------------|
| 1 | Manejo de corriente alterna. | Electrochoque, daño a los equipos. |
| 2 | Manejo de corriente continua. | Daño a los equipos. |

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Índice:

Práctica 1.....7
Compuertas Lógicas en FPGA.

Práctica 2.....34
Combinación de compuertas lógicas en FPGA.

Práctica 3.....38
Codificador Decimal a BCD en FPGA.

Práctica 4.....42
Multiplexor en FPGA.

Práctica 5.....46
Demultiplexor en FPGA.


Práctica 6.....50
Flip-Flops en FPGA

Práctica 7.....54
Contador 4bits en FPGA.

Práctica 8.....62
Contador BCD en FPGA.

Práctica 9.....68
Medio sumador binario en FPGA.

Práctica 10.....74
Sumador binario completo en FPGA.


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 1.- Compuertas Lógicas en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|--------|--------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

Objetivos.


- Aprender a usar el software **Quartus Prime**.
- Implementar las compuertas lógicas AND, OR, NOT, XOR, NAND, NOR y XNOR mediante el diseño de circuito esquemático.
- Aprender a usar el flujo de diseño en **Quartus Prime**.
- Aprender a usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Compuertas lógicas**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Desarrollo.

1) Identificar el área de trabajo en Quartus Prime.

Una vez abierto el software se debe identificar cada uno de los elementos en la GUI como se muestra en la figura 1. De color rojo está la **barra de herramientas**, en color verde el navegador de **árbol de proyecto**, en color amarillo la **ventana de tareas**, donde se realizan las acciones de síntesis, compilación y ruteo, por último, en color azul la **consola de mensajes**, donde muestra información, advertencias y errores en el proyecto.

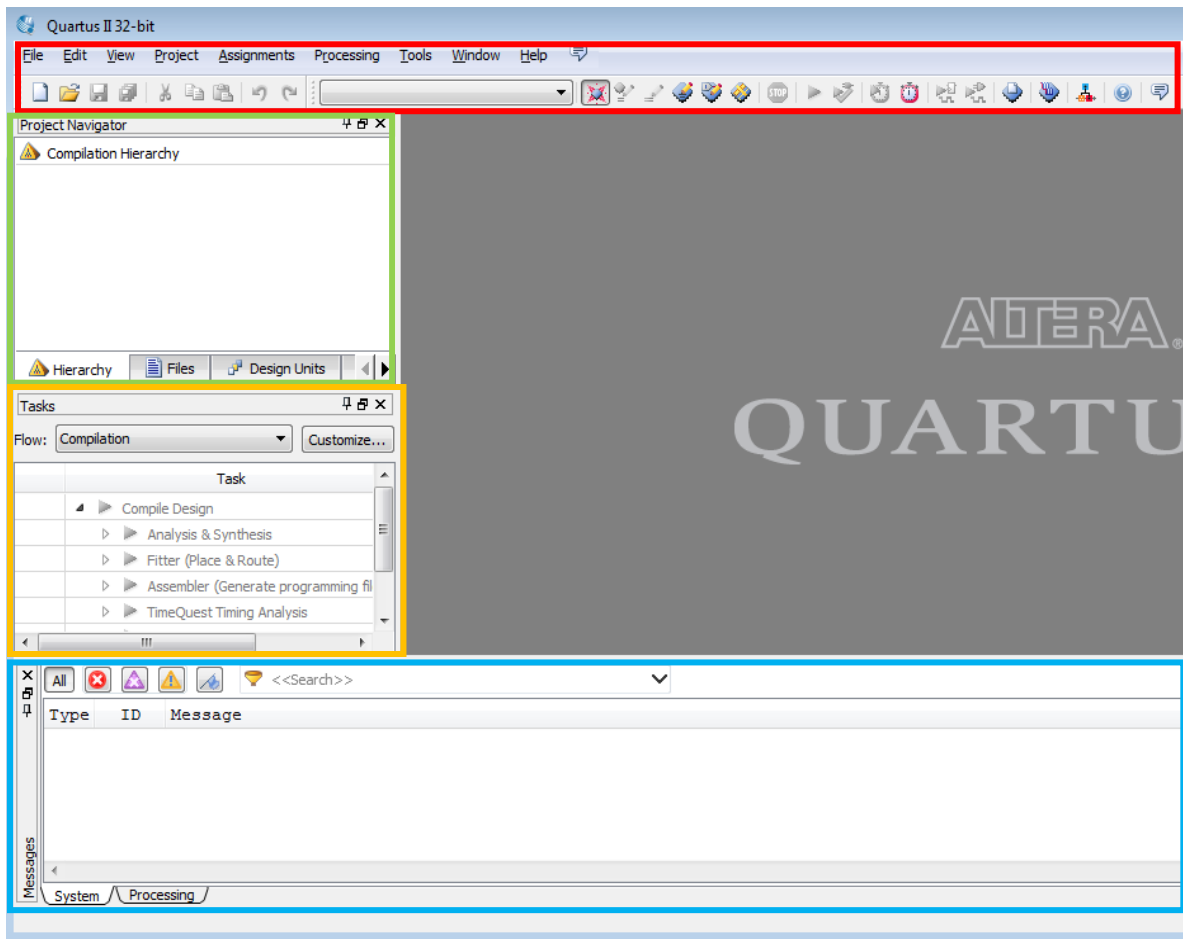



Figura 1 – Interfaz gráfica para Quartus Prime.

2) Diseño de compuertas lógicas en diagrama esquemático.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Seleccionar en la barra de herramientas “**File > New Project Wizard...**”, figura 2.

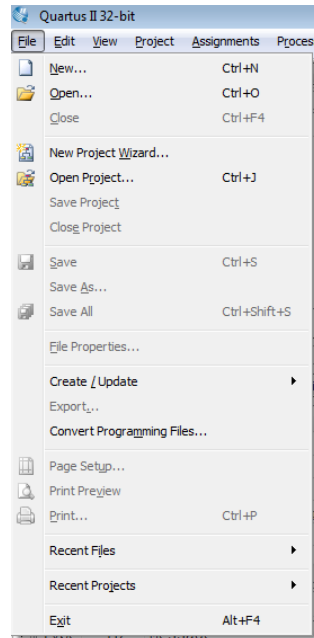


Figura 2 – Menú “**File**” en la barra de herramientas.

Aparece la ventana de introducción del “**Project Wizard**”, presionar el botón “**Next >**”, figura 3.

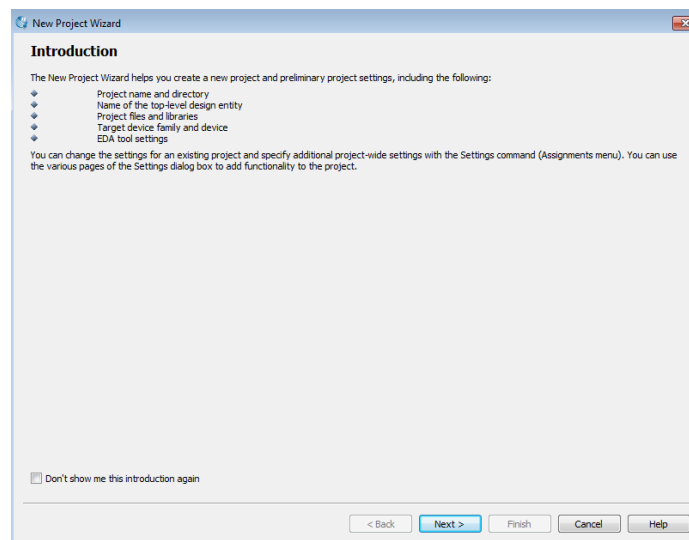



Figura 3 – Ventana de introducción al asistente de proyecto. En la ventana de guardado de proyecto, elegir la ubicación y nombre del proyecto, presionar el botón “**Next >**”, figura 4.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

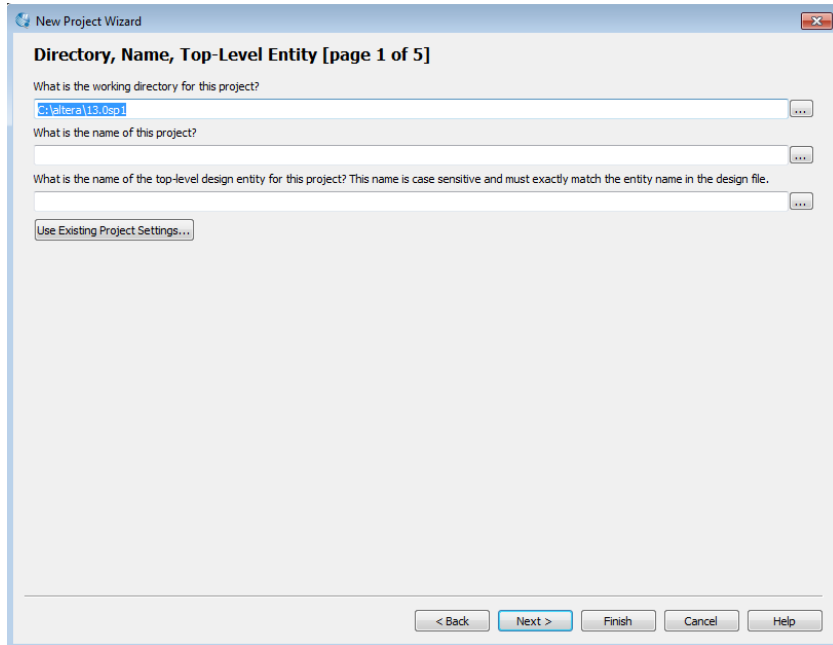


Figura 4 – Ventana de guardado de proyecto.

No agregar ningún archivo al proyecto y presionar el botón “**Next >**”, figura 5.

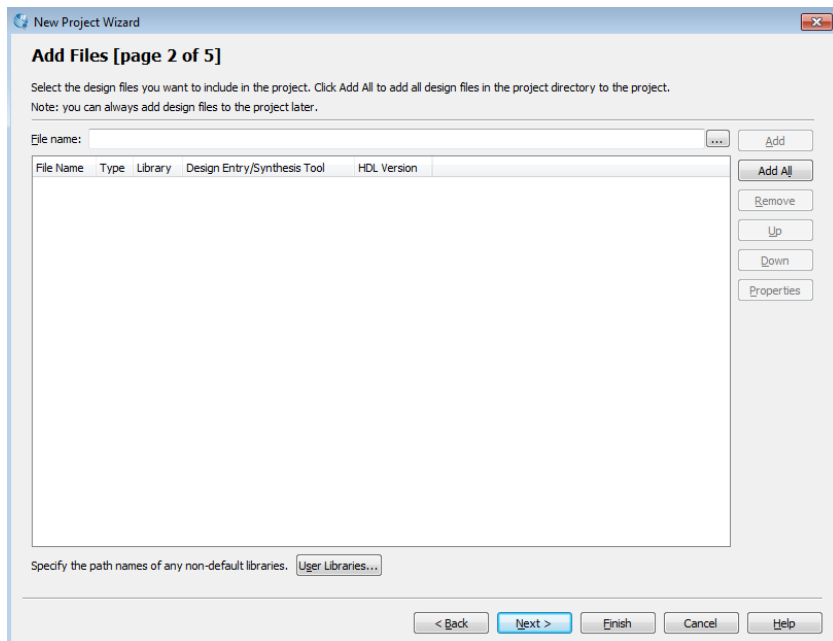


Figura 5 – Ventana para agregar archivos al proyecto.

Seleccionar el dispositivo a configurar según familia y modelo de la tarjeta de entrenamiento que se vaya a usar, presionar el botón “**Next >**”, figura 6.

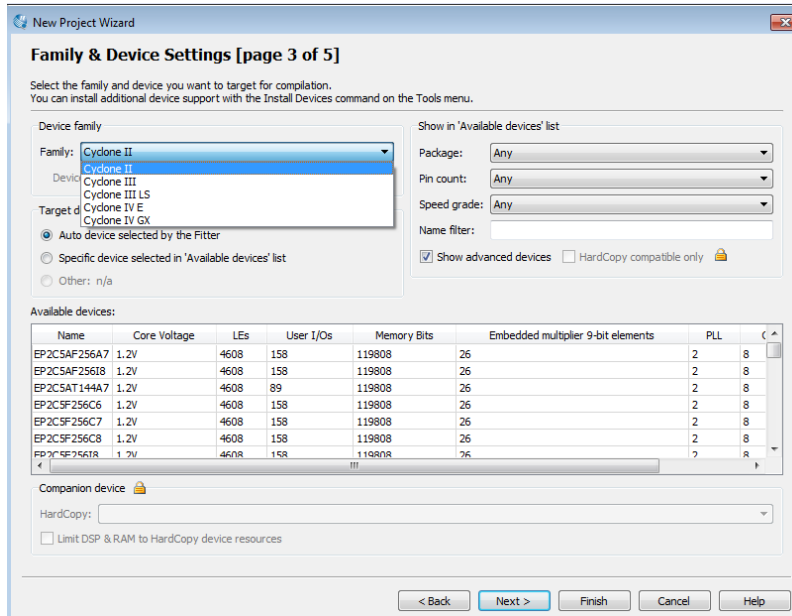


Figura 6 – Ventana de selección de dispositivo.

No seleccionar ninguna herramienta **EDA**, en esta práctica se realizará un diseño desde cero sin asistentes, presionar el botón “**Next >**”, figura 7.

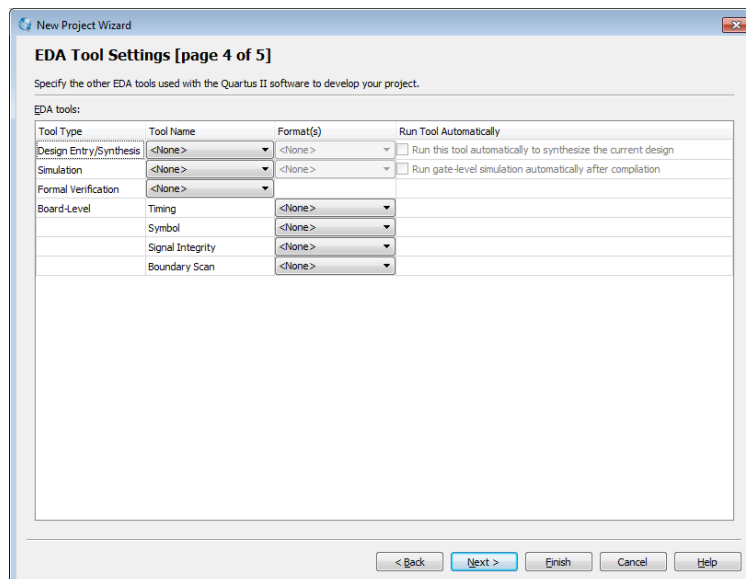



Figura 7 – Ventana de selección de herramientas **EDA**.

Aparece ventana con el resumen del proyecto, el proyecto se guarda en extensión “.QPF”, presionar el botón “**Finish**”, figura 8.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

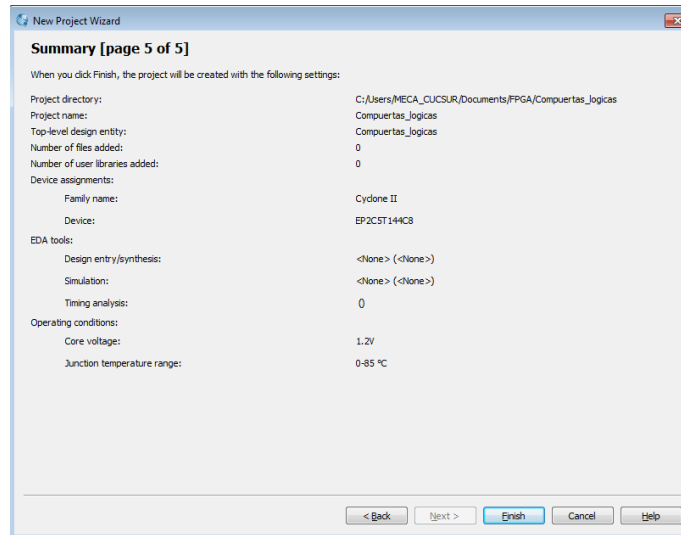


Figura 8 – Resumen del proyecto creado.

En la barra de herramientas seleccionar “**File > New...**”, aparece la ventana para elegir el tipo de archivo, en la sección “**Design File**” seleccionar “**Block Diagram/Schematic File**”, presionar “**OK**”, figura 9.

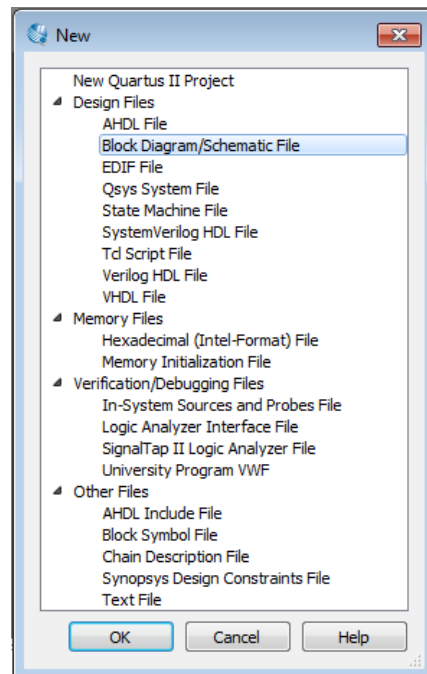



Figura 9 – Menú “New File”.

Aparece la ventana de diseño **CAD** para diagrama esquemático, figura 10.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

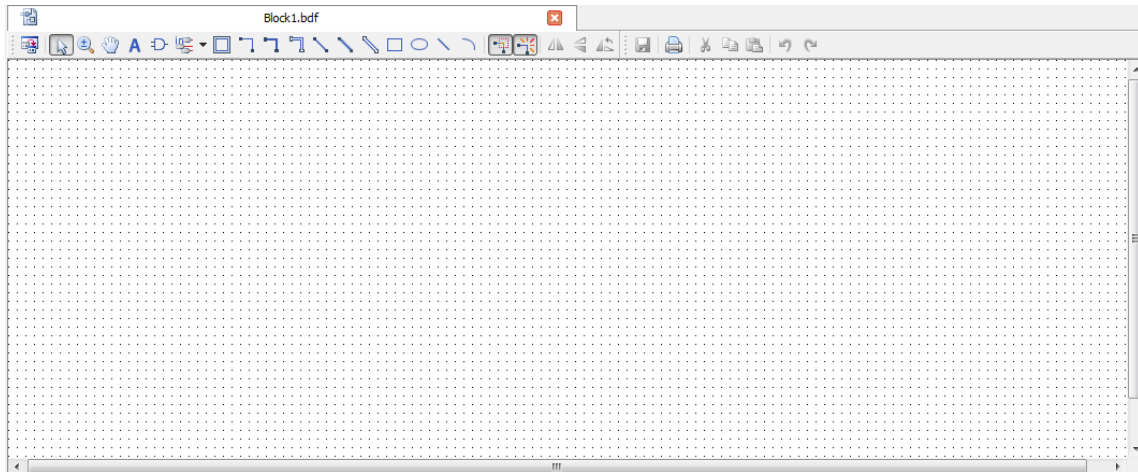


Figura 10 – Ventana de diseño **CAD**.

En el menú **“File”** seleccionar **“Save As...”**, guardar el archivo esquemático con extensión **“.BDF”**, figura 11.

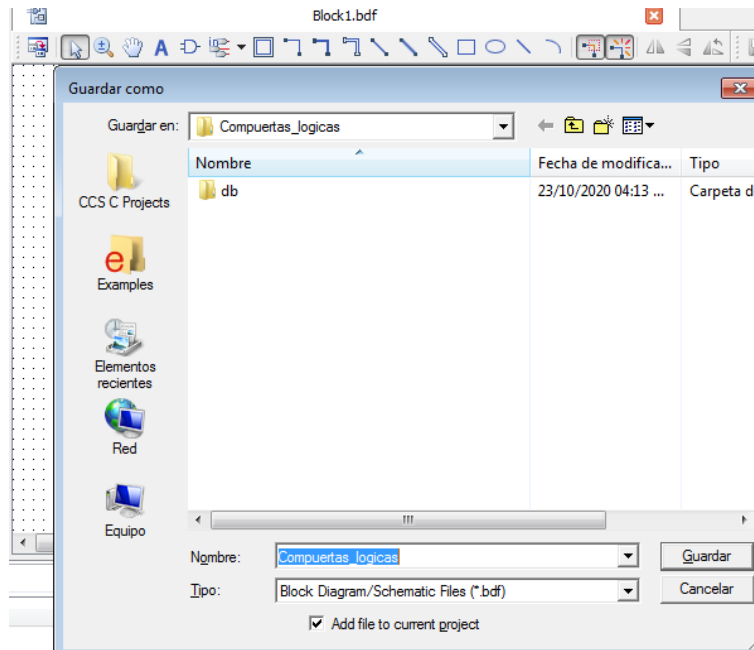


Figura 11 – Extensión **“.BDF”** para diagramas a bloques.

Presionar en el icono **“Symbol Tool”**, para usar los elementos lógicos, buscar en la carpeta **“primitives”** la subcarpeta **“logic”** y seleccionar la compuerta AND de 2 entradas, presionar **“OK”**, figura 12.

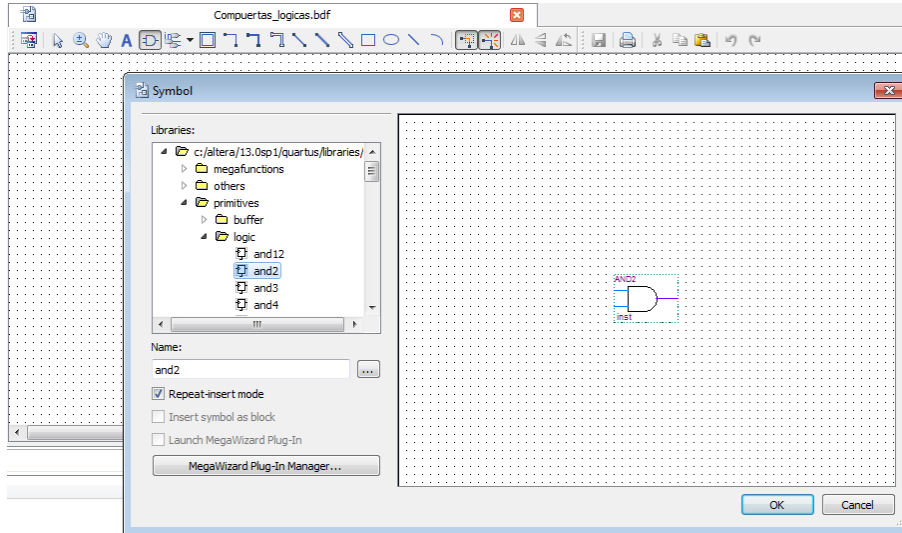


Figura 12 – Ventana símbolo.

Colocar las compuertas OR, NOT, XOR, NAND, NOR y XNOR, figura 13.

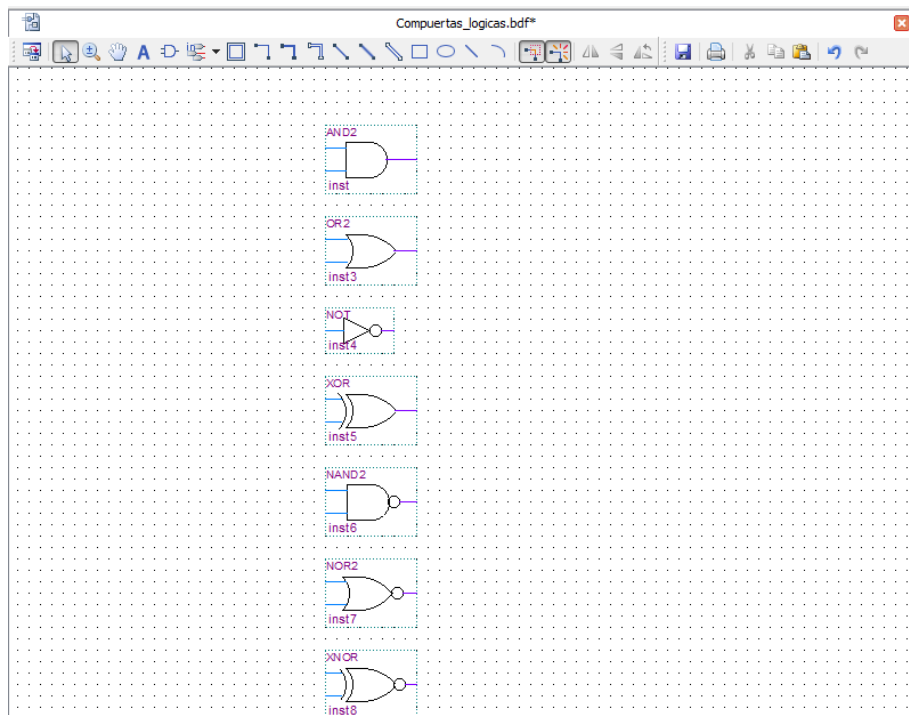


Figura 13 – Elementos lógicos en diagrama esquemático.

Presionar en el icono “**Pin Tool**”, para agregar entradas “**input**” y salidas “**output**”, presionar en el icono “**Orthogonal Node Tool**” para realizar las conexiones entre las compuertas lógicas y entradas/salidas. Cambiar los nombres de las etiquetas de

entrada y salida para identificar mejor los posibles errores, figura 14, guardar los cambios.

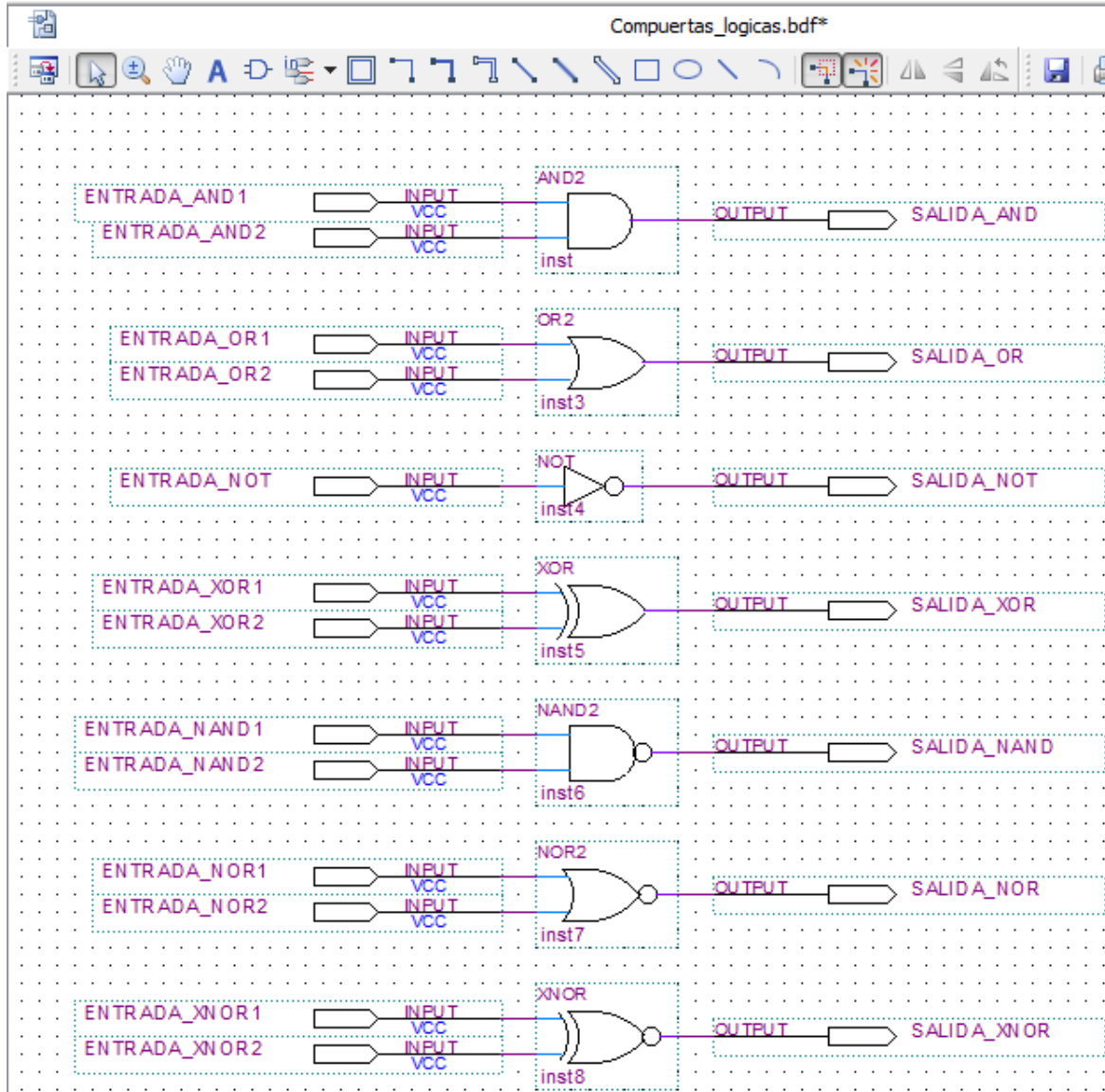


Figura 14 – Diagrama esquemático terminado.

3) Flujo de diseño en el software Quartus Prime.

En la barra de herramientas seleccionar el icono “**Start Compilation**”, figura 15.

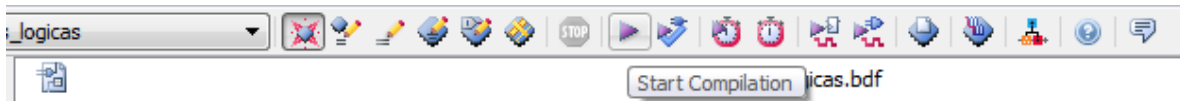


Figura 15 – Botón “Start Compilation”.

Comenzará a realizar el análisis, síntesis, colocación y ruteo de los elementos lógicos, ensamblar los archivos y generar el código máquina de la configuración del dispositivo, una vez finalizada la compilación del proyecto, aparecerá la ventana “Compilation Report” con el resumen del flujo de diseño, figura 16.

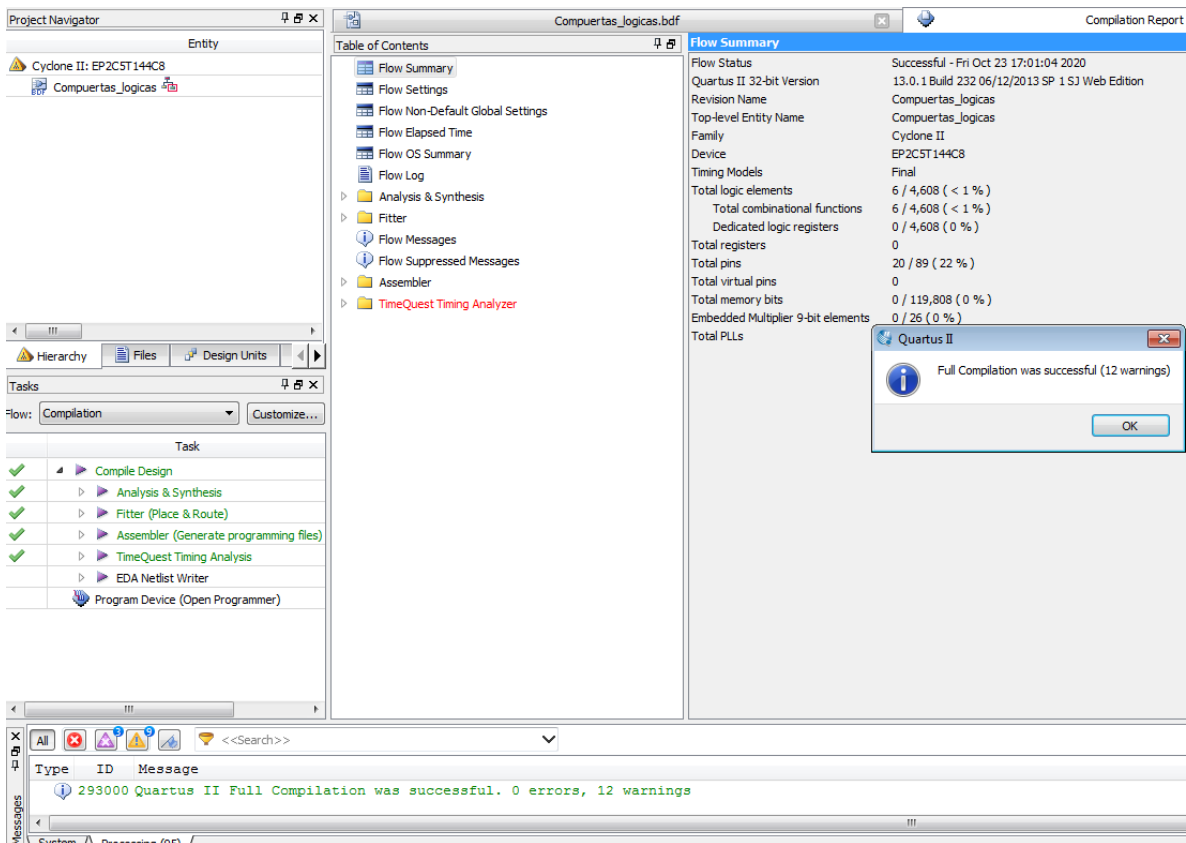



Figura 16 – Botón “Start Compilation”.

El diagrama de flujo del diseño que realiza el software Quartus Prime, se muestra en la figura 17. Los pasos del diagrama de flujo son los siguientes:

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

1. **Primer paso**, generar el diseño preliminar del circuito digital (esquemático, VHDL, Verilog o RTL).
2. **Segundo paso**, realizar una síntesis de los elementos lógicos a emplear (el software lo hace automáticamente, para diseñadores avanzados se hace manual).
3. **Tercer paso**, simular el funcionamiento de la síntesis obtenida en Quartus Prime, no se realiza análisis de tiempos.
4. **Cuarto paso**, analizar los resultados de la simulación y comparar el funcionamiento esperado con el simulado, si el funcionamiento no es correcto, se debe de modificar el diseño preliminar, si el funcionamiento es correcto, avanzar al siguiente paso.
5. **Quinto paso**, ajustar (Fitting) los elementos lógicos con las entradas y salidas físicas de la forma más optima y de menor distancia en la transferencia de los datos (ruteo).
6. **Sexto paso**, realizar la simulación de análisis de tiempos de propagación de las señales.
7. **Séptimo paso**, analizar los resultados de la simulación de tiempos, corresponda con los tiempos de respuesta requeridos, si no cumple con los tiempos requeridos, se deben modificar los ajustes, en el peor de los casos modificar el diseño preliminar; Si cumple con los tiempos requeridos, avanzar al último paso.
8. **Octavo paso**, programar y configurar el dispositivo.

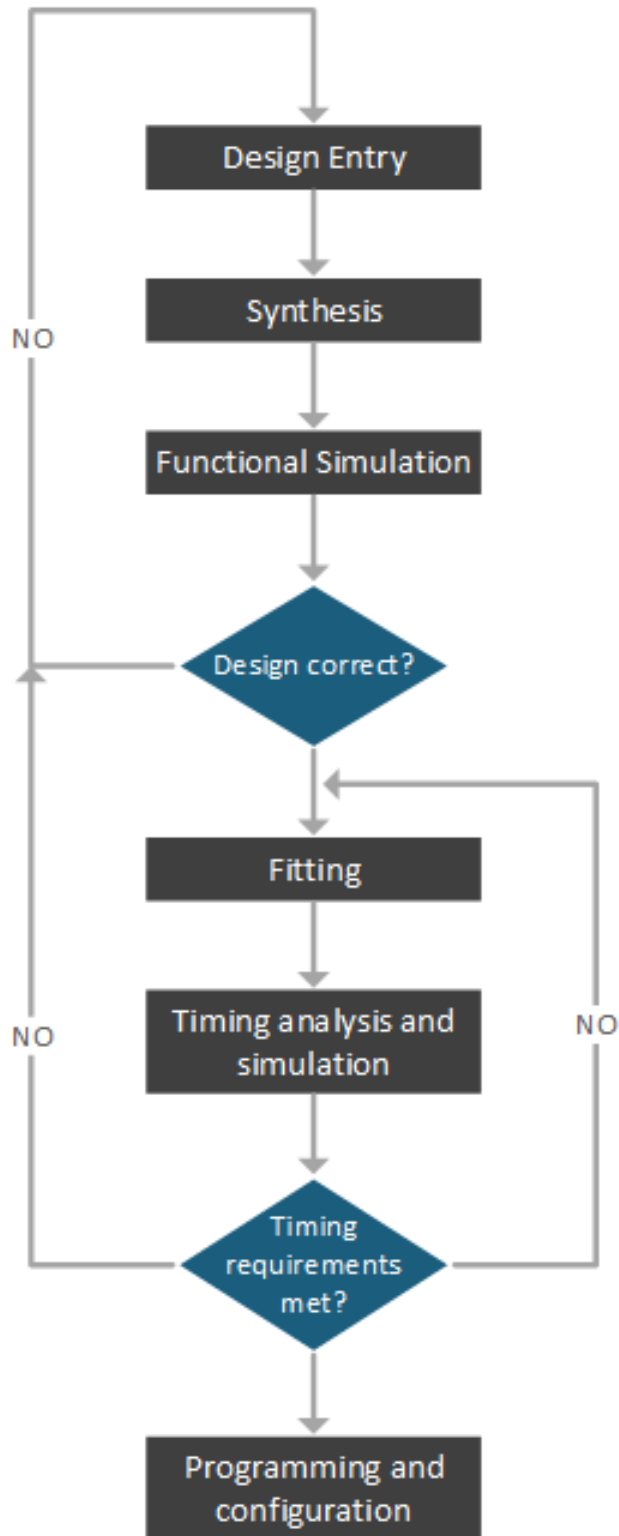



Figura 17 – Flujo de diseño en **Quartus Prime**.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

4) Simulación funcional del circuito diseñado.

En la barra de herramientas seleccionar “File > New...”, aparece la ventana para elegir el tipo de archivo, en la sección “Verification/Debugging Files” seleccionar “University Program VWF”, presionar “OK”, figura 18.

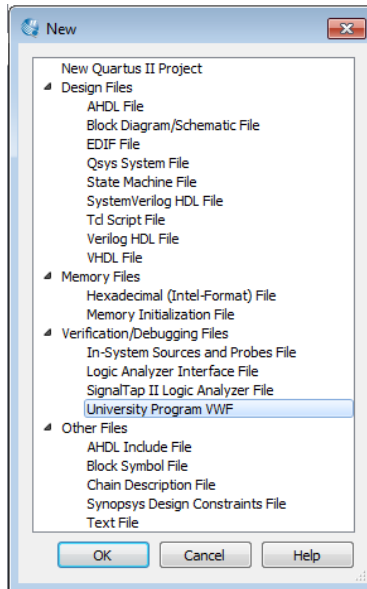


Figura 18 – Archivo para la simulación “.VWF”.

Aparece la ventana “Simulation Waveform Editor”, figura 19.

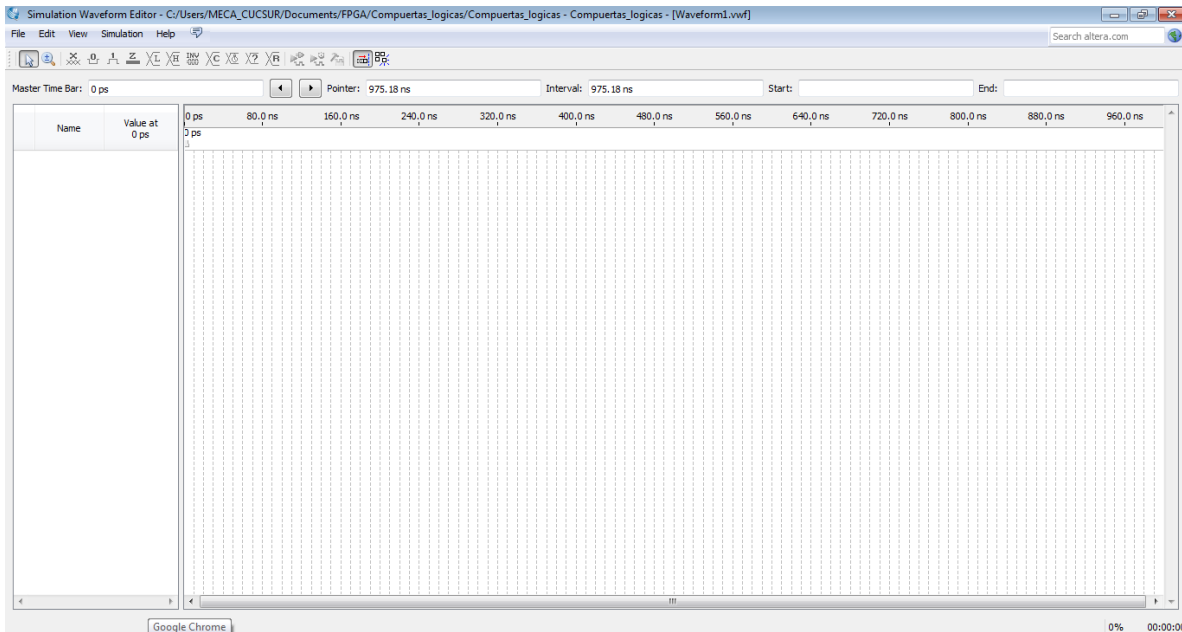


Figura 19 – Ventana del simulador y editor de formas de onda.

En el menú “**File**” seleccionar “**Save As...**”, guardar el archivo formas de onda con extensión “.VWF”, figura 20.

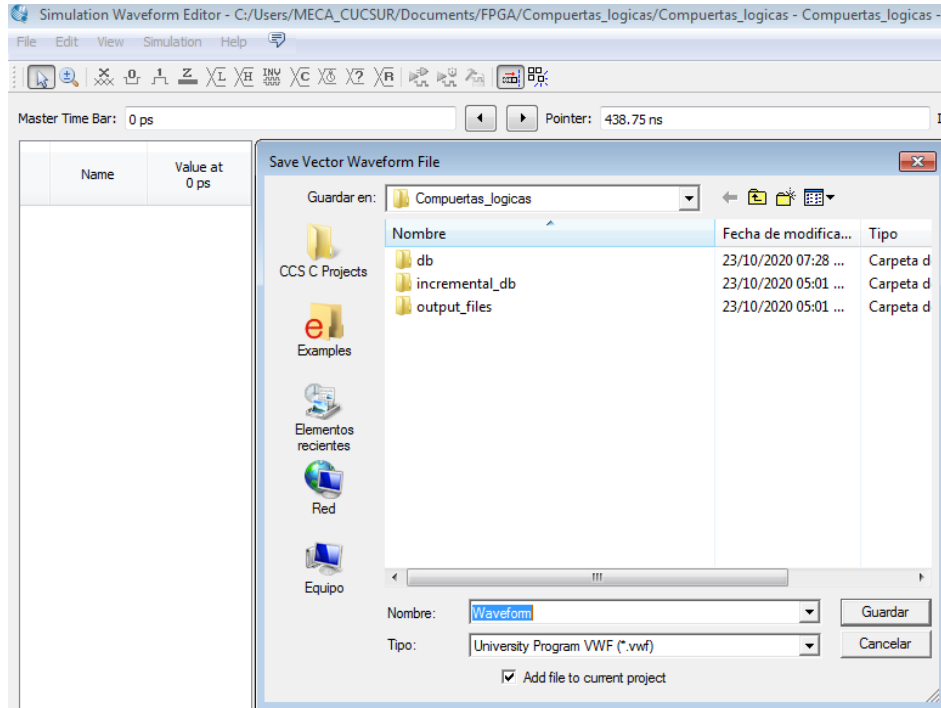


Figura 20 – Extensión “.VWF” para simular formas de onda.

Seleccionar en la barra de herramientas “**Edit > Set End Time...**”, configurar a 4us el tiempo máximo de simulación. Seleccionar en la barra de herramientas “**Edit > Grid Size...**” y configurar a 1us el tiempo de cuadrículado, figura 21.

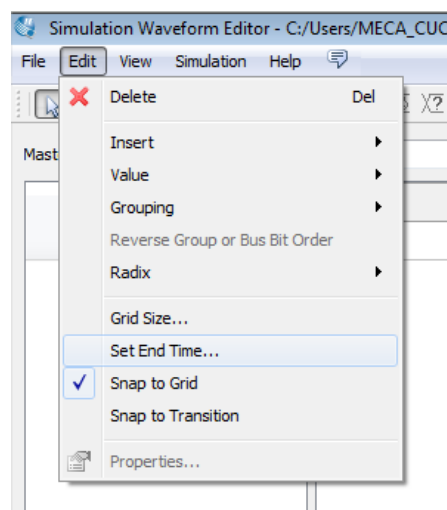



Figura 21 – Configurar tiempos de simulación.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Seleccionar en la barra de herramientas “**Edit > Insert > Insert Node or Bus...**”, figura 22.

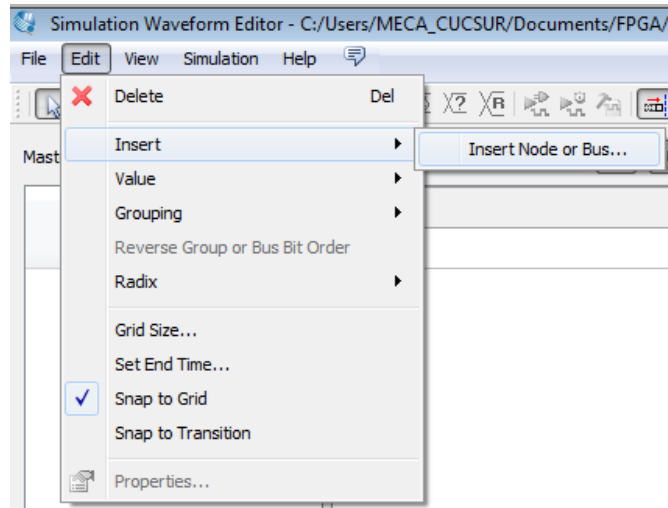


Figura 22 – Insertar nodos de entrada y salida.

Aparece la ventana “**Insert Node or Bus**”, presionar el botón “**Node Finder...**”, figura 23.

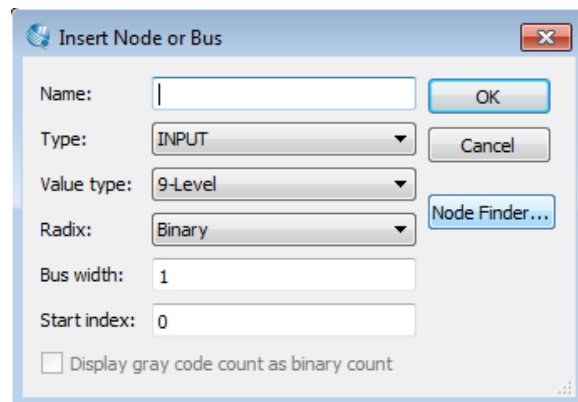


Figura 23 – Ventana “**Insert Node or Bus**”.

Aparece la ventana **“Node Finder”**, presionar el botón **“...”**, figura 24.

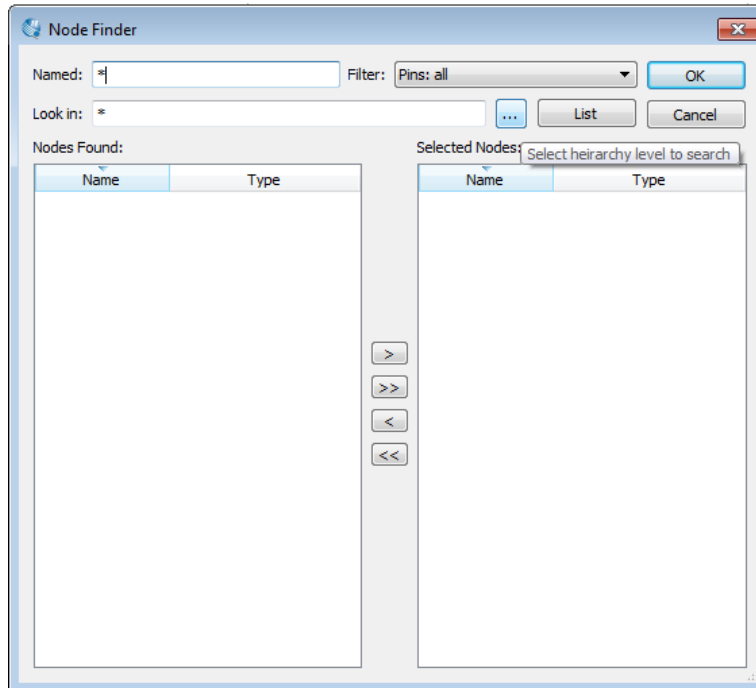


Figura 24 – Ventana **“Node Finder”**.

Aparece la ventana **“Select Hierarchy Level”**, seleccionar el diagrama a bloques con extensión **“.BDF”**, presionar **“OK”**, figura 25.

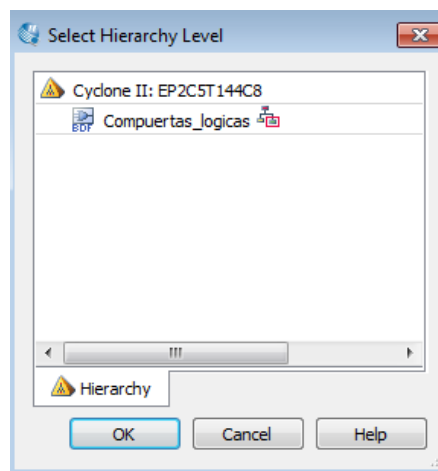


Figura 25 – Ventana **“Select Hierarchy Level”**.

Presionar el botón “List” para mostrar los nodos disponibles, figura 26.

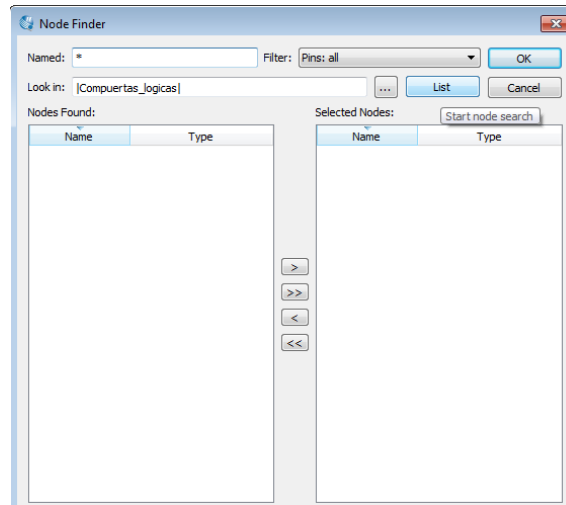


Figura 26 – Comenzar la búsqueda de nodos.

Agregar los nodos de uno en uno con el botón “>”, organizarlos como la figura 27, el botón “>>” agrega todos los nodos igual que la lista de nodos encontrados. Presionar “OK”.

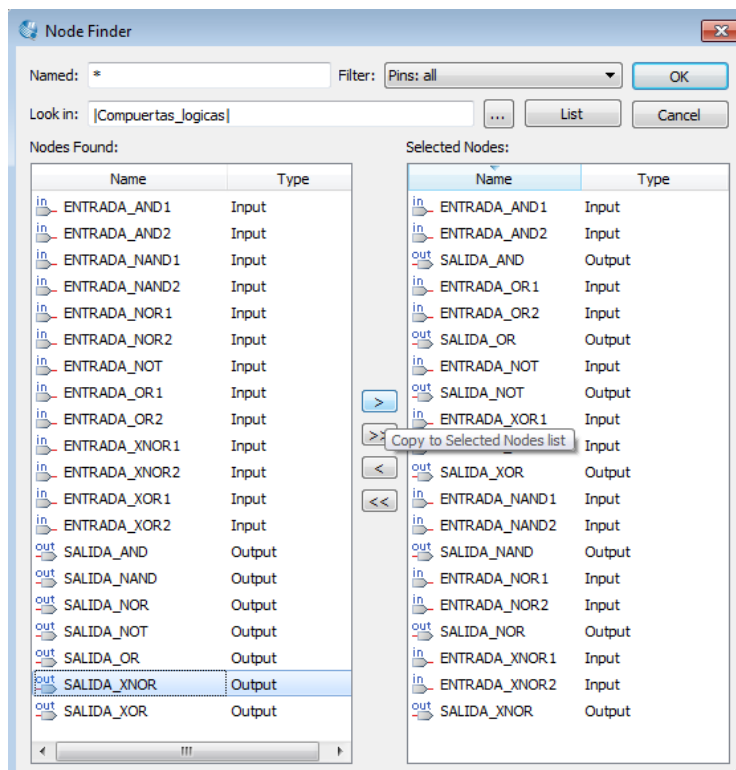


Figura 27 – Lista de nodos disponibles.

El editor de formas de onda debe mostrar las señales como la figura 28.

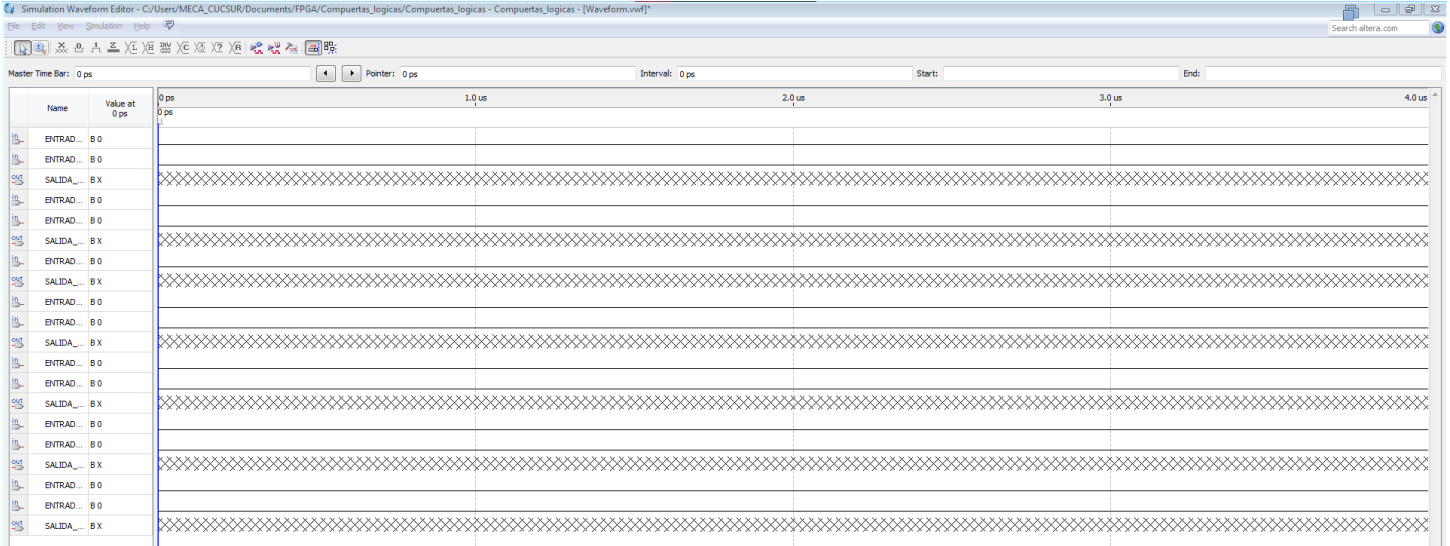


Figura 28 – Nodos en el simulador y editor de formas de onda.

Insertar los estados lógicos seleccionando una celda y presionando el botón “Forcing High (1)” y “Forcing Low (0)”, figura 29.

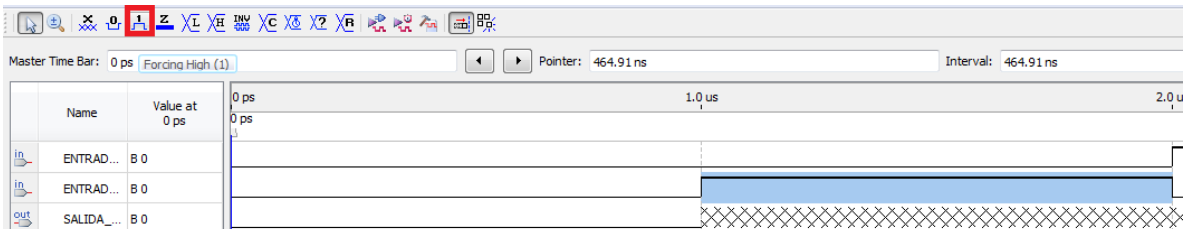


Figura 29 – Colocando un estado **High** en una celda.

Ingresar todos los estados lógicos de la tabla de verdad de cada compuerta lógica y guardar los cambios, figura 30.

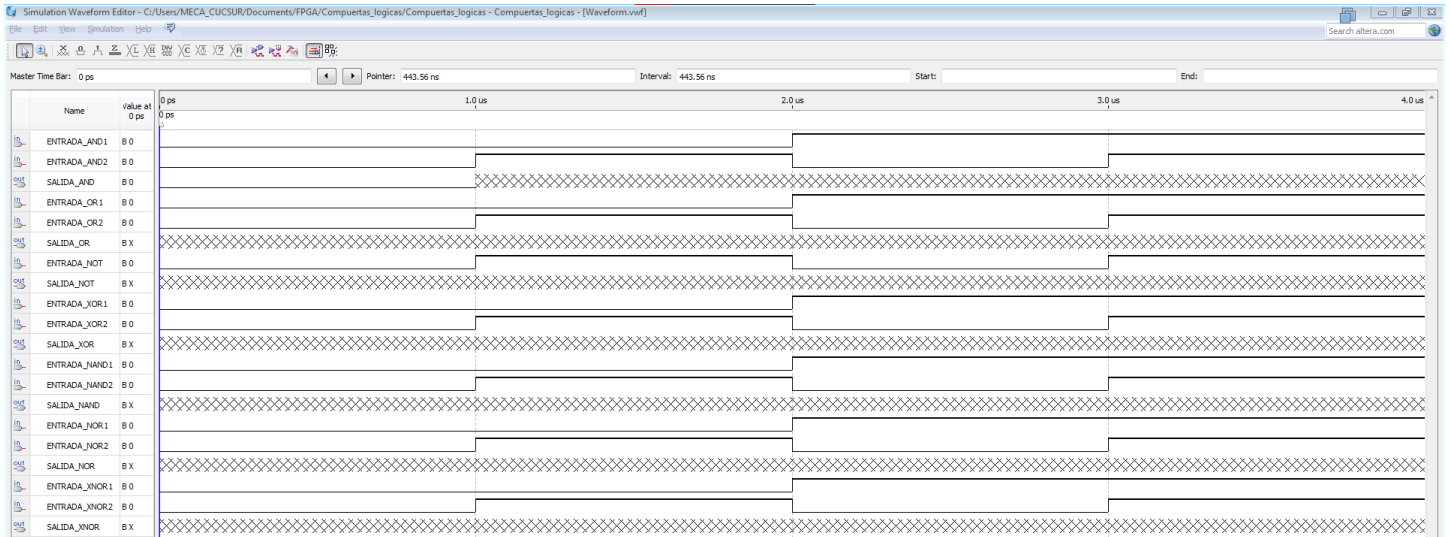


Figura 30 – Nodos con los estados lógicos de cada tabla de verdad.

Antes de simular, se debe volver a presionar el botón **“Start Compilation”**. Una vez finalizada la compilación, presionar el botón **“Run Functional Simulation”**, figura 31.

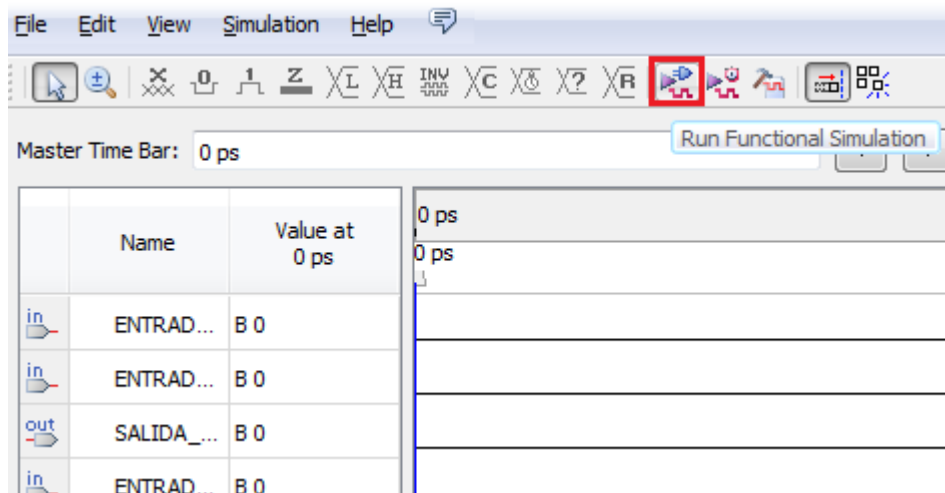


Figura 31 – Botón **“Run Functional Simulation”**.

Aparece otra ventana del simulador con las formas de onda en las salidas de cada compuerta lógica, figura 32

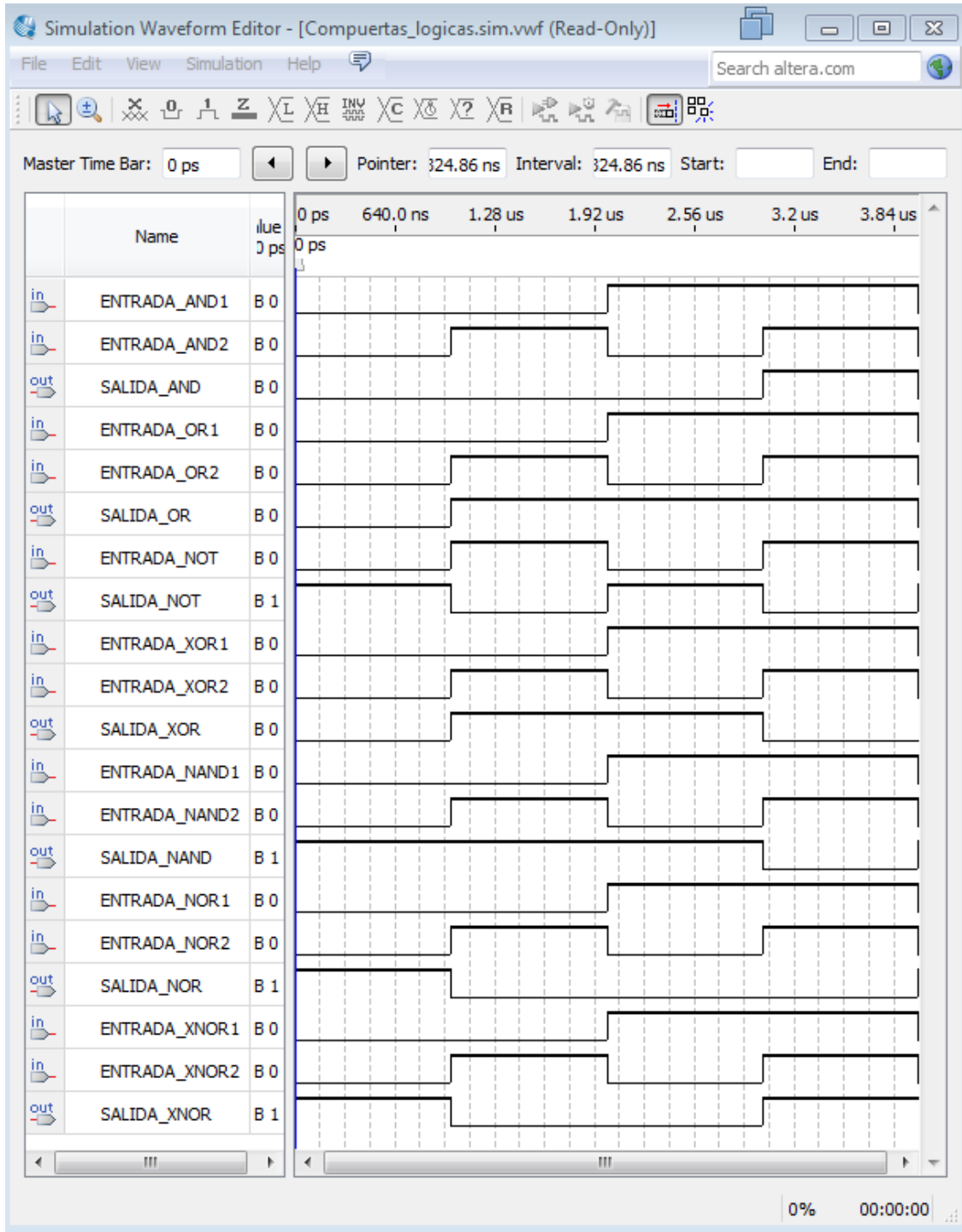


Figura 32 – Formas de ondas simuladas en cada compuerta lógica.



5) Configuración y programación en FPGA físico.

Presionar el botón “Pin Planner”, figura 33.

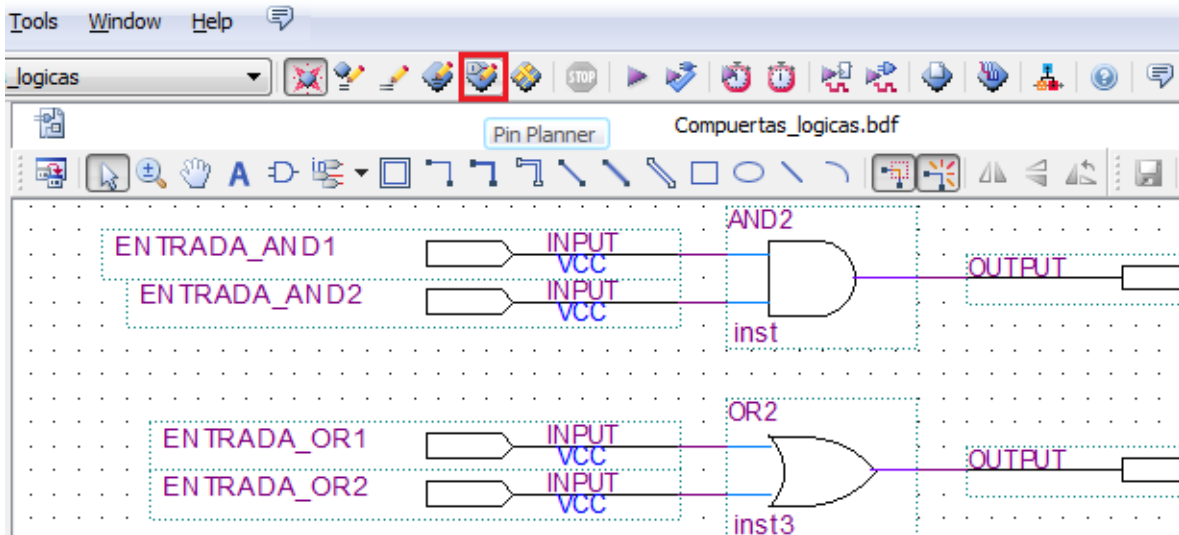


Figura 33 – Botón “Pin Planner”.

Aparecerá la ventana “Pin Planner”, figura 34. En ella se configurará cada una de las entradas y salidas del diseño digital a los pines físicos del FPGA.



Figura 34 – Ventana “Pin Planner”.

Dar doble click en el pin que se va a configurar, aparecerá la ventana “**Pin properties**”, ahí seleccionar el nodo que se desea conectar y el tipo de Entrada/Salida estándar a usar, figura 35.

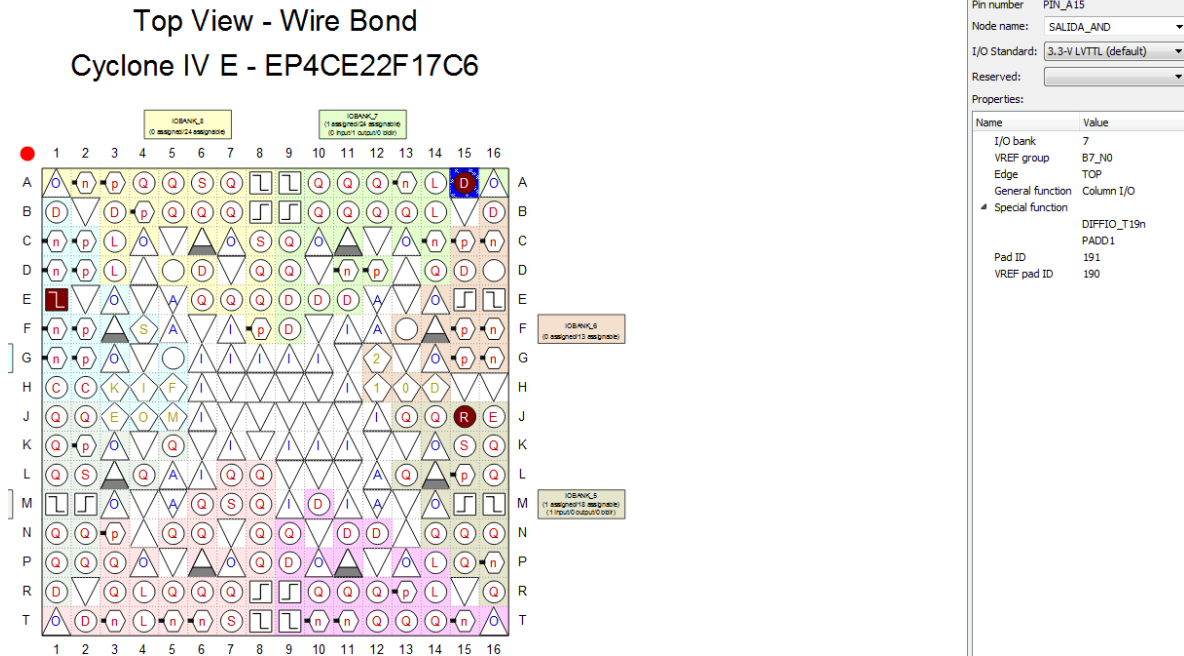


Figura 35 – Ventana “Pin Properties”.

Realizar lo mismo para cada nodo restante en la ventana “**All Pins**”, en este ejemplo se configuró una compuerta AND con los pines **J15** y **E1** como entradas y **A15** como salida, el FPGA empleado fue un **Cyclone IV E - EP4CE22F17C6**, figura 36.

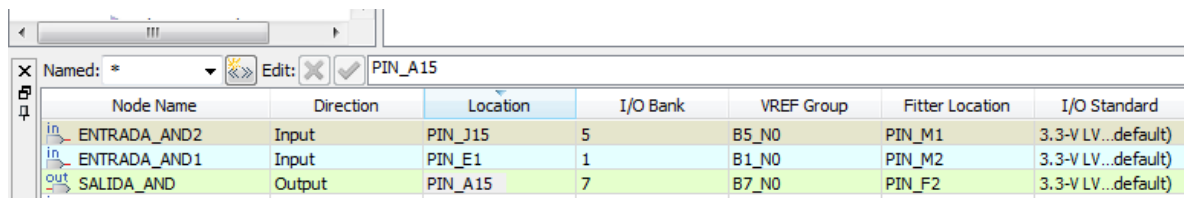


Figura 36 – Ventana “All Pins”.

Una vez terminado la asignación de los nodos a los pines físicos del FPGA, en el menú **“Processing”** de la ventana **“Pin Planner”**, seleccionar **“Processing”** -> **“Start I/O Assignment Analysis”**, se realizará una pequeña compilación del proyecto para la asignación de los nodos a los pines seleccionados, figura 37.

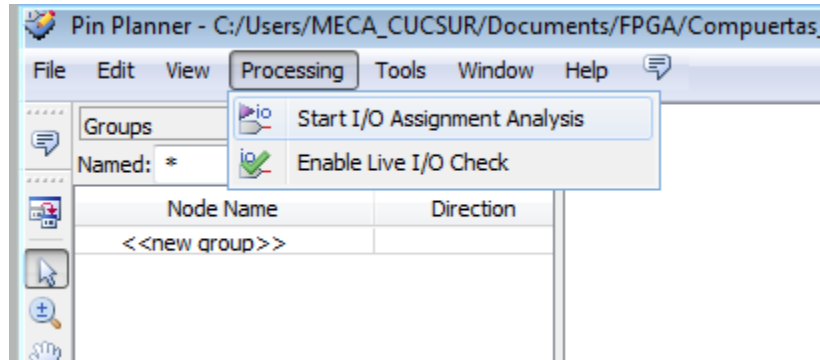


Figura 37 – Opción **“Start I/O Assignment Analysis”**.

Regresar a la ventana principal de **Quartus Prime**, y volver a dar click en **“Start Compilation”**, comprobar en la ventana **“Messages”** que no contenga errores, figura 38.

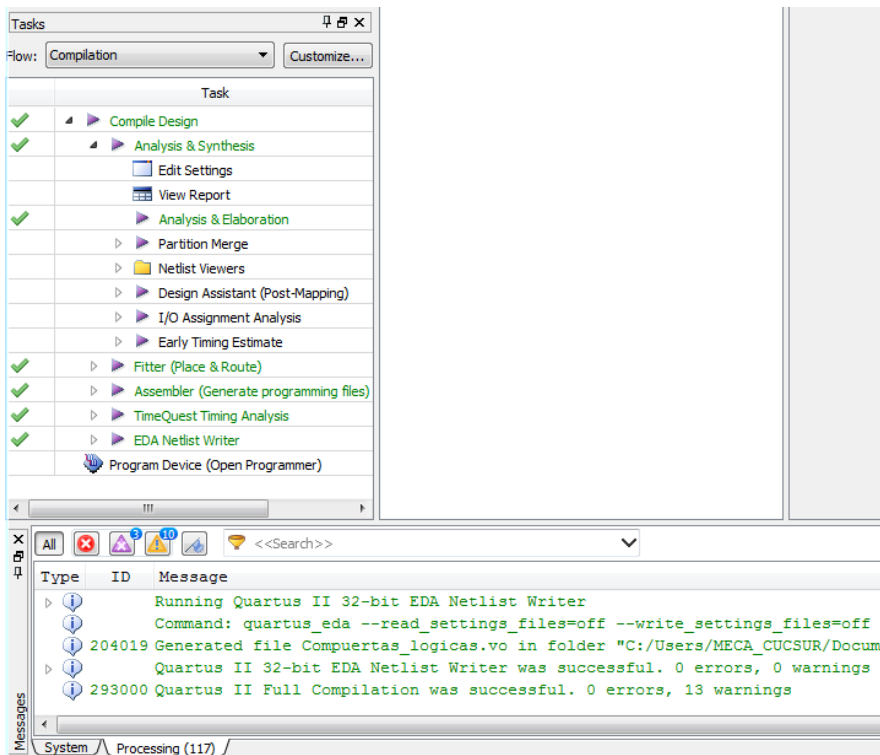


Figura 38 – Ventana **“Messages”**.

Conectar la tarjeta de entrenamiento o el programador USB-Blaster al puerto USB de la computadora, seleccionar el botón **“Programmer”** para abrir la ventana de programación, figura 40.

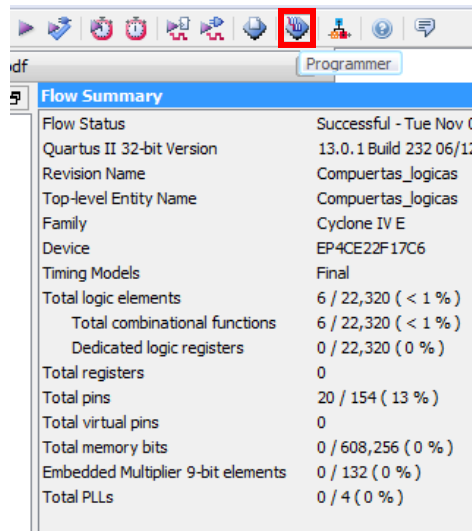


Figura 40 – Botón **“Programmer”**.

Aparecerá la Ventana **“Programmer”**, seleccionar el botón **“Hardware Setup”**, figura 41.

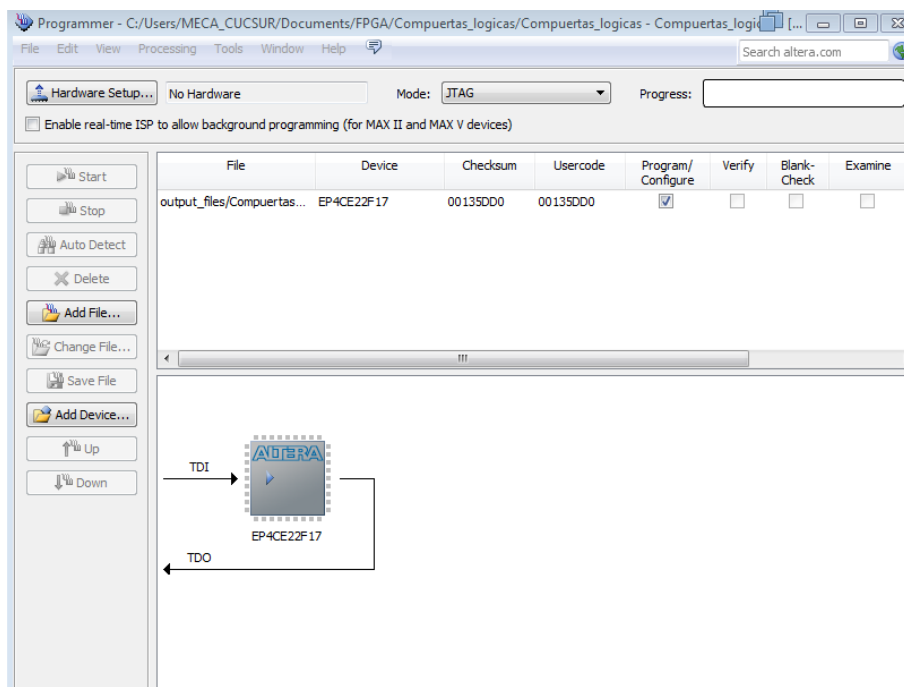


Figura 41 – Ventana **“Programmer”**.

Aparecerá la ventana “**Hardware Setup**”, seleccionar “**USB-Blaster [USB-0]**” en la sección “**Currently selected hardware**”, presionar el botón “**Add Hardware**” para agregar el programador a nuestro proyecto, presionar el botón “**Close**”, figura 42.

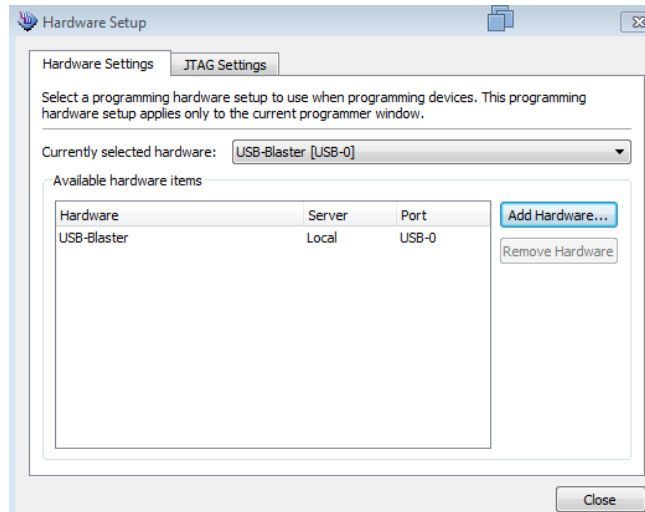


Figura 42 – Ventana “**Hardware Setup**”.

Seleccionar el botón “**Start**” para programar el FPGA, el archivo que se cargará debe de estar en extensión “**.SOF**”, figura 43.

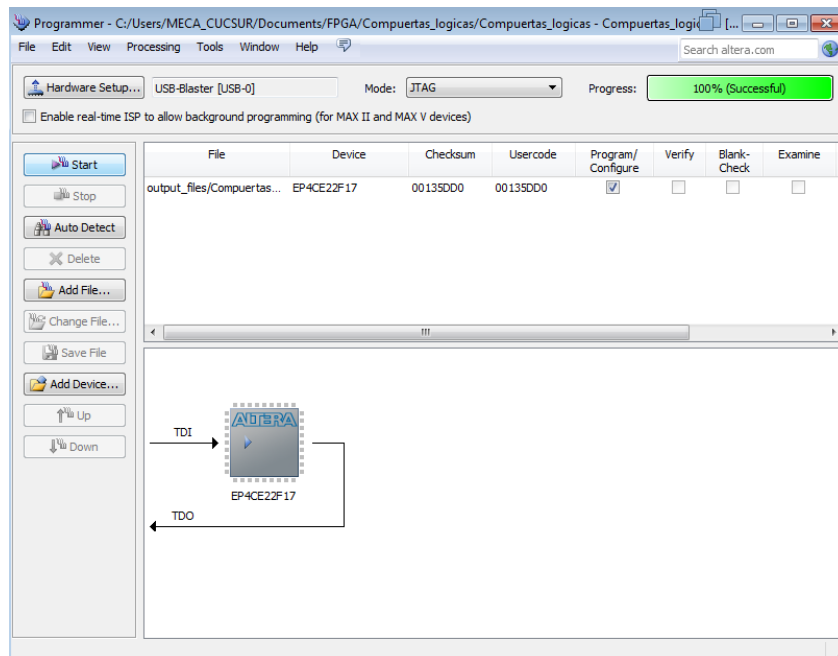



Figura 43 – Cargando archivo de configuración “**.SOF**” al FPGA.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento de cada compuerta lógica con su respectiva tabla de verdad, como se muestra en la figura 44.

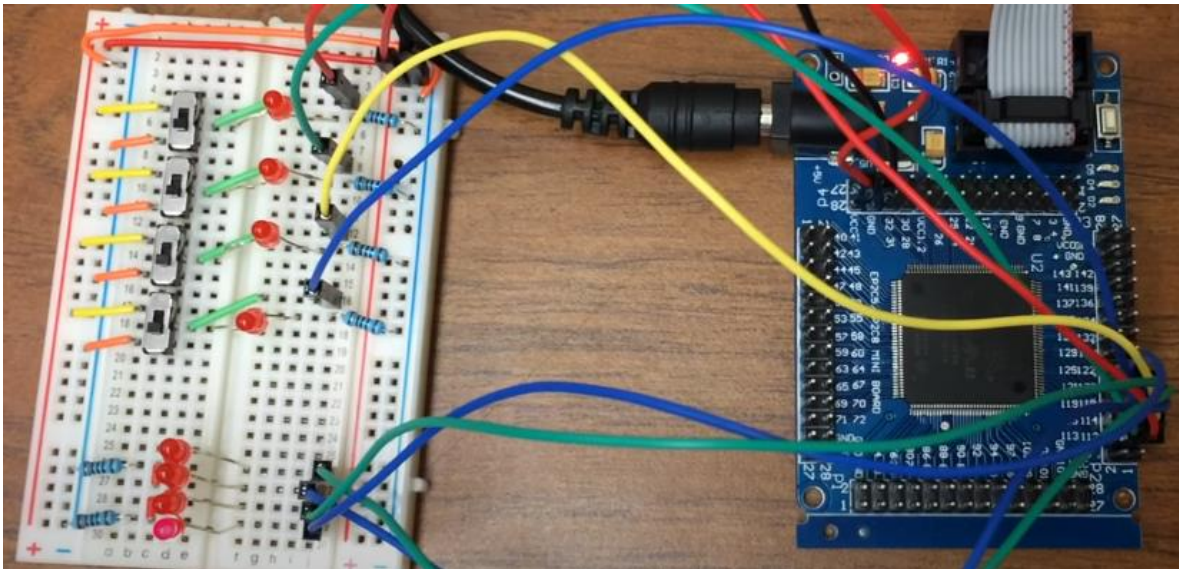


Figura 44 – Conexión de un EP2C5, imagen propiedad de Steven Ledsworth[4]

Resultados y conclusiones.

El alumno debe implementar el uso de las **compuertas lógicas** dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 2.- Combinación de compuertas lógicas en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.


- Usar el software **Quartus Prime**.
- Implementar la combinación de compuertas lógicas mediante el diseño de circuito esquemático.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Compuertas lógicas**.
- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de protoboard (breadboard).

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 2, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de circuito combinacional en diagrama esquemático.

Dibujar los siguientes circuitos en el diagrama esquemático en Quartus Prime.

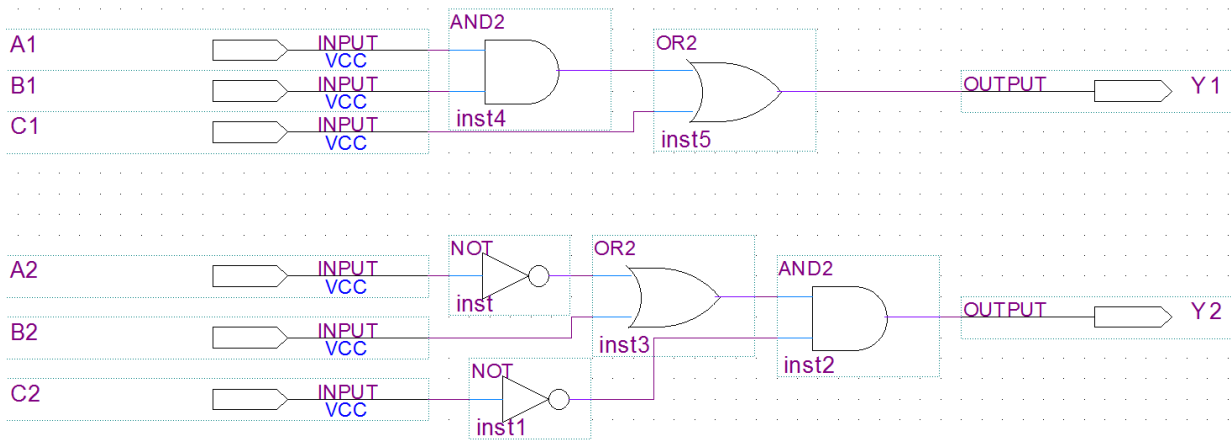


Figura 45 – Diagramas de lógica combinacional.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.


Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento de cada circuito combinacional con su respectiva tabla de verdad.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Resultados y conclusiones.

El alumno debe implementar el uso de **circuitos combinacionales** dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 3.- Codificador Decimal a BCD en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|--------|--------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.

- Usar el software **Quartus Prime**.
- Implementar un codificador Decimal a BCD mediante el diseño de circuito esquemático.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Codificadores**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 3, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de codificador decimal a BCD en diagrama esquemático.

Dibujar los siguientes circuitos en el diagrama esquemático en Quartus Prime.

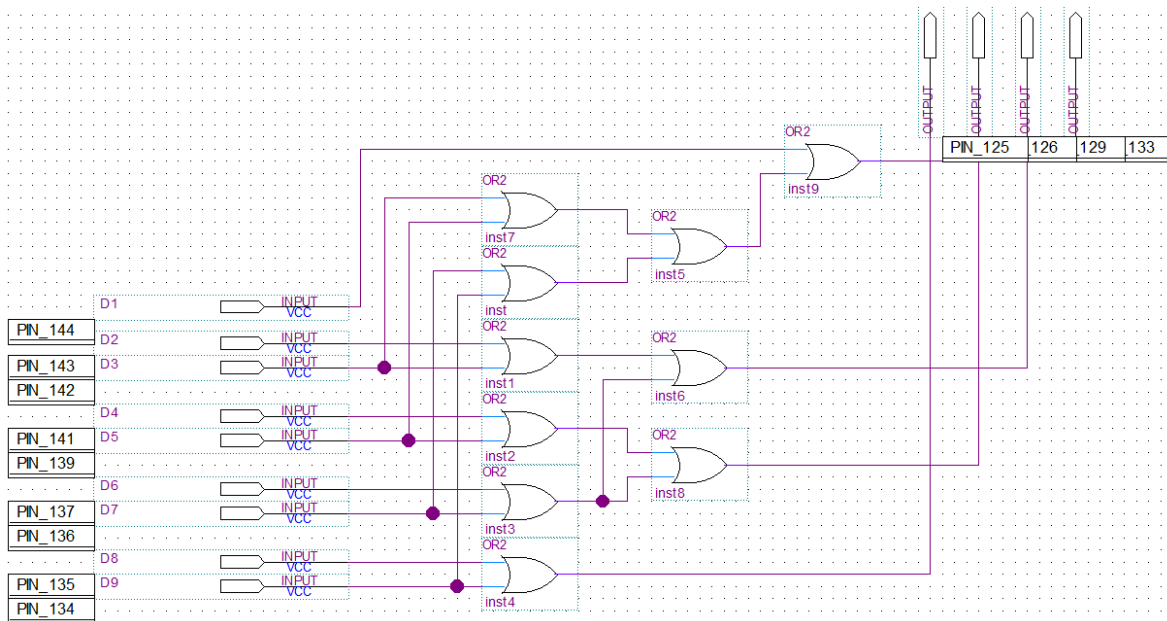


Figura 46 – Diagrama de codificador decimal a BCD.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.


Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del codificador decimal a BCD con su respectiva tabla de verdad.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Resultados y conclusiones.

El alumno debe implementar el uso del **codificador decimal a BCD** dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 4 Multiplexor en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

Objetivos.

- Usar el software **Quartus Prime**.
- Implementar un multiplexor mediante el diseño de circuito esquemático.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Multiplexores**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 4, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Dibujar los siguientes circuitos en el diagrama esquemático en Quartus Prime.

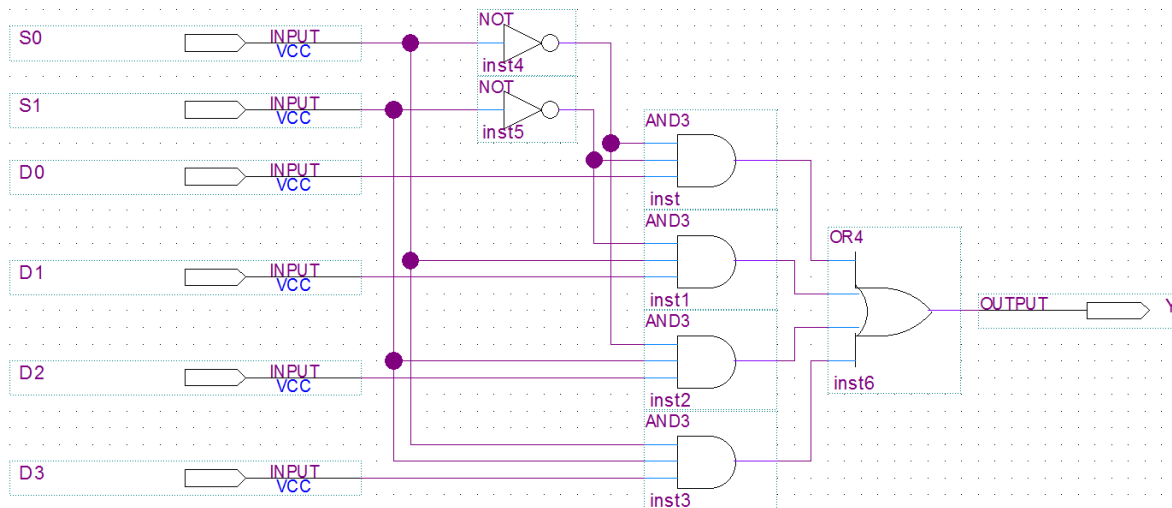


Figura 47 – Diagrama de multiplexor.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.


Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del circuito multiplexor con su respectiva tabla de verdad.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Resultados y conclusiones.

El alumno debe implementar el uso de un circuito multiplexor dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 5.- Demultiplexor en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.

- Usar el software **Quartus Prime**.
- Implementar un demultiplexor mediante el diseño de circuito esquemático.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Demultiplexores**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 5, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Dibujar los siguientes circuitos en el diagrama esquemático en Quartus Prime.

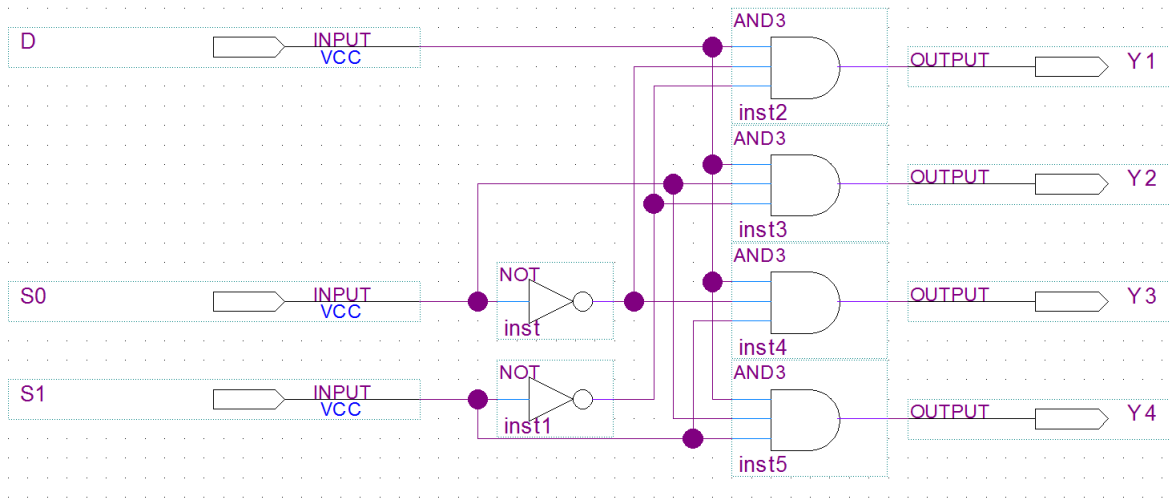


Figura 48 – Diagrama de demultiplexor.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.


Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del circuito demultiplexor con su respectiva tabla de verdad.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Resultados y conclusiones.

El alumno debe implementar el uso de un circuito demultiplexor dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 6.- Flip-Flops en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.

- Usar el software **Quartus Prime**.
- Implementar los 3 tipos de Flip-Flops mediante el diseño de circuito esquemático.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Lógica secuencial**.
- Conocimientos vistos en clase: **Flip-Flops**.
- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 6, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Dibujar los siguientes circuitos en el diagrama esquemático en Quartus Prime.

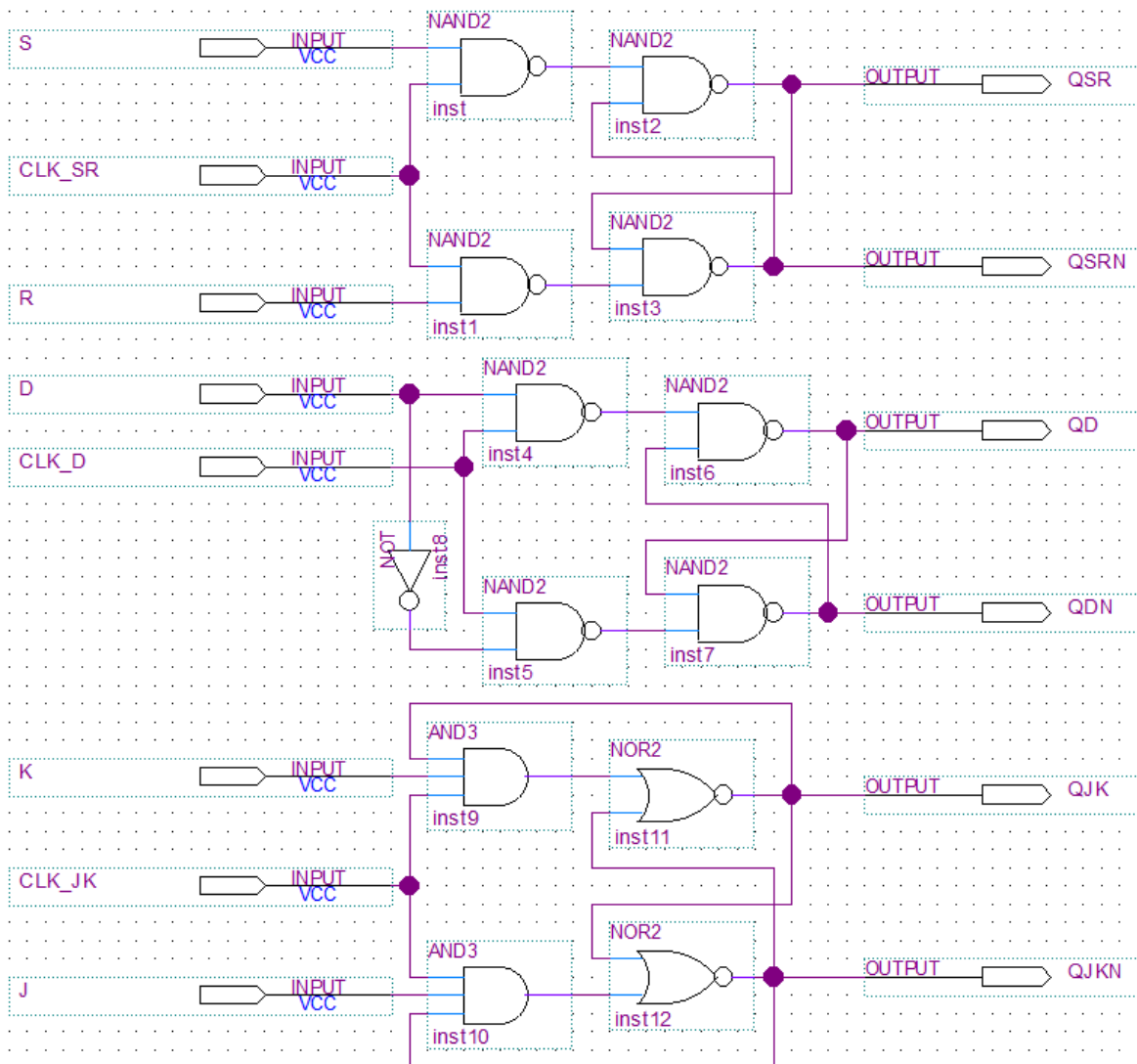



Figura 49 – Diagrama de los 3 tipos de Flip-Flops.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

4) Simulación funcional del circuito diseñado.

Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento de los 3 tipos de Flip-Flops con su respectiva tabla de verdad.

Resultados y conclusiones.

El alumno debe implementar el uso de los 3 tipos de Flip-Flops dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 7.- Contador 4 bits en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.


- Usar el software **Quartus Prime**.
- Implementar un contador de 4 bits en Verilog como lenguaje descriptivo de hardware.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en clase: **Contadores**.
- Conocimientos vistos en clase: **Lenguajes de descripción de hardware**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de protoboard (breadboard).

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 7, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

En la barra de herramientas seleccionar “**File > New...**”, aparece la ventana para elegir el tipo de archivo, en la sección “**Design File**” seleccionar “**Verilog HDL File**”, presionar “**OK**”, figura 50.

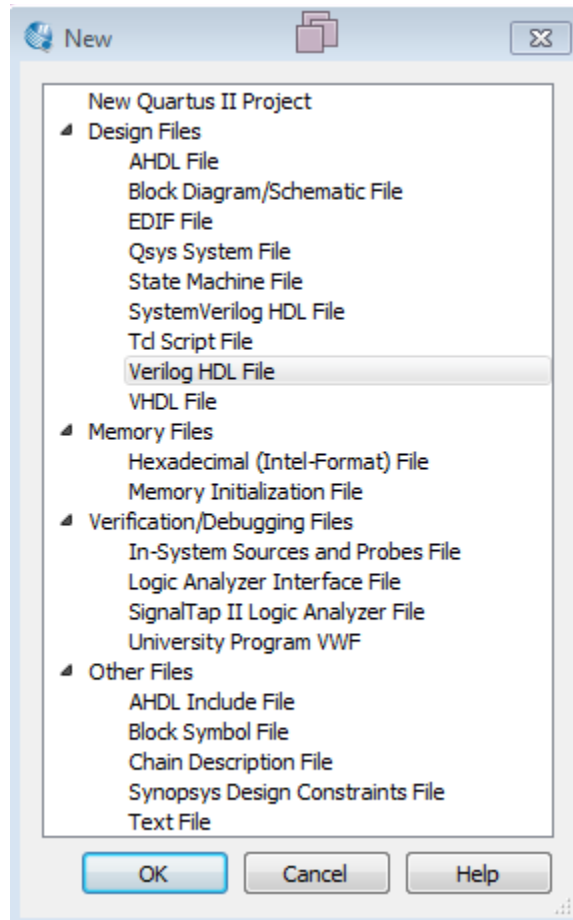



Figura 50 – Creando un archivo “Verilog HDL”.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Aparece la ventana de editor de código para HDL, figura 51.

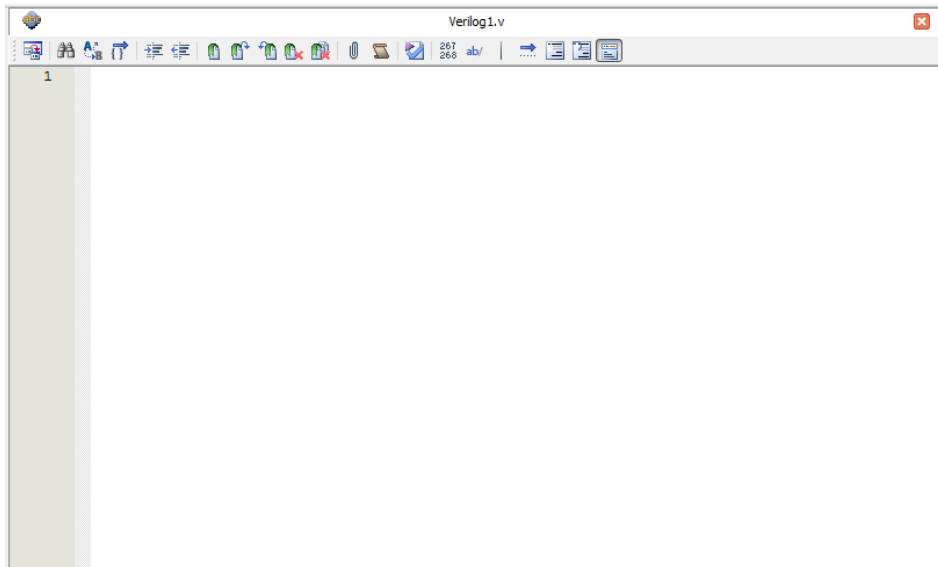


Figura 51 – Ventana del editor de código en lenguaje Verilog.

En el menú **“File”** seleccionar **“Save As...”**, guardar el archivo Verilog con extensión **“.V”**, figura 52.

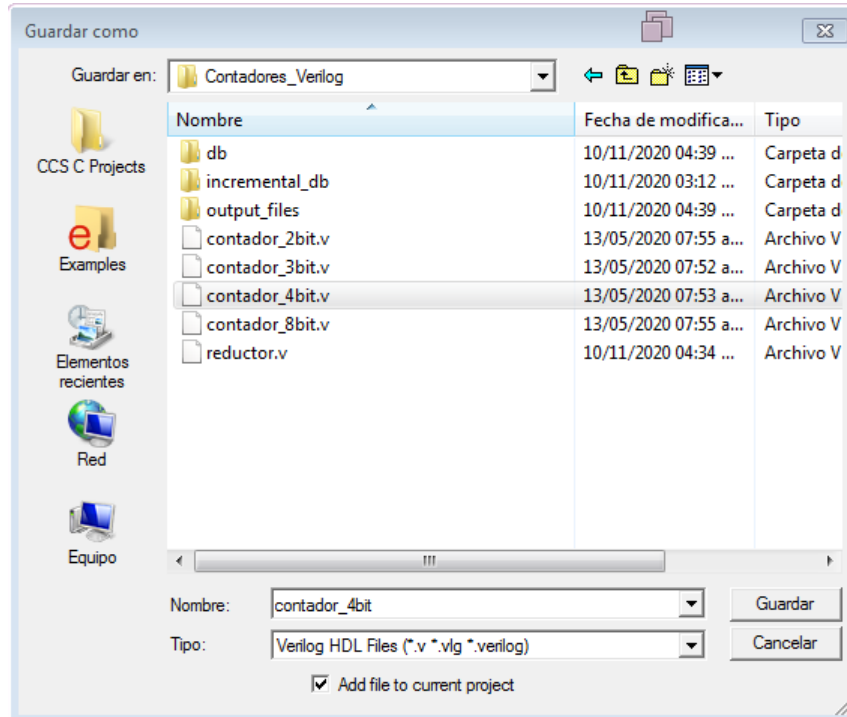


Figura 51 – Ventana del editor de código en lenguaje Verilog. En el editor escribir el código de la figura 52 y guardar los cambios.

```

module contador_4bit (reloj, salida_contador);
    input reloj;
    output reg [3:0] salida_contador;

    always @ (posedge reloj)
        begin
            salida_contador <= salida_contador + 1;
        end
endmodule

```

Figura 52 – Código del contador de 4 bits en Verilog HDL.

En el menú “File” seleccionar “Create / Update -> Create Symbol Files for Current File”, figura 53.

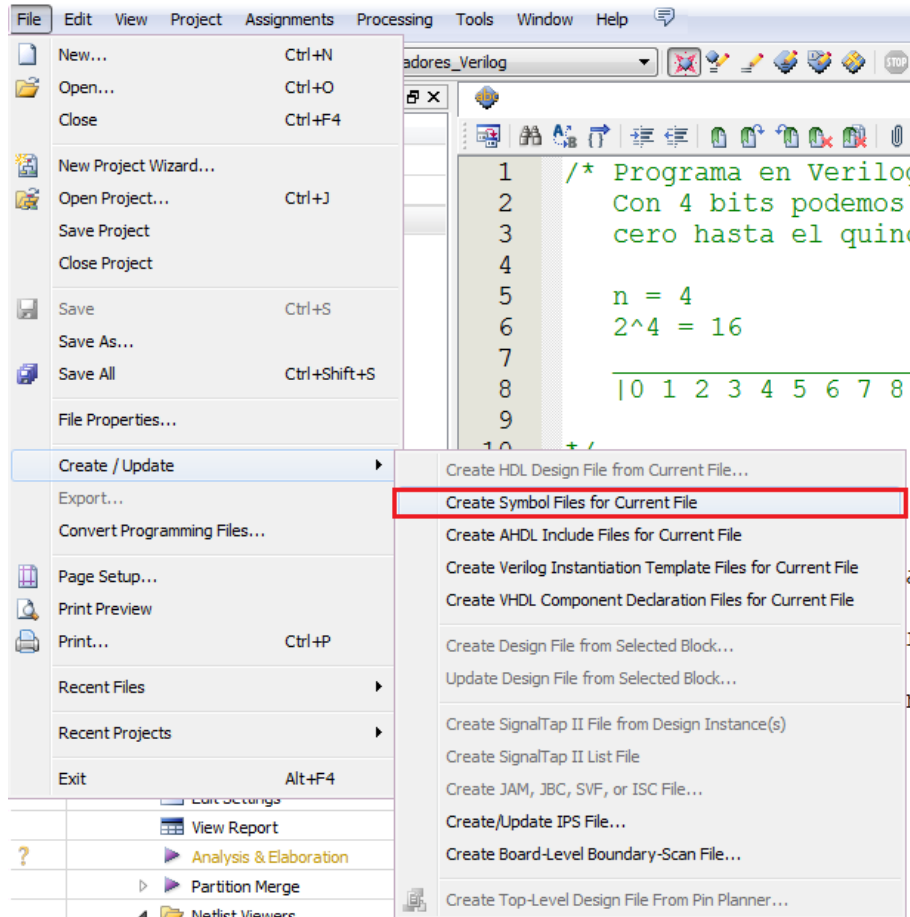


Figura 53 – Creación del símbolo esquemático del contador de 4 bits.

Abrir el diagrama esquemático y presionar en el icono “**Symbol Tool**”, aparece una nueva carpeta llamada “**Project**”, seleccionar el elemento que se acaba de crear “**contador_4bit**”, presionar “**OK**”, figura 54.

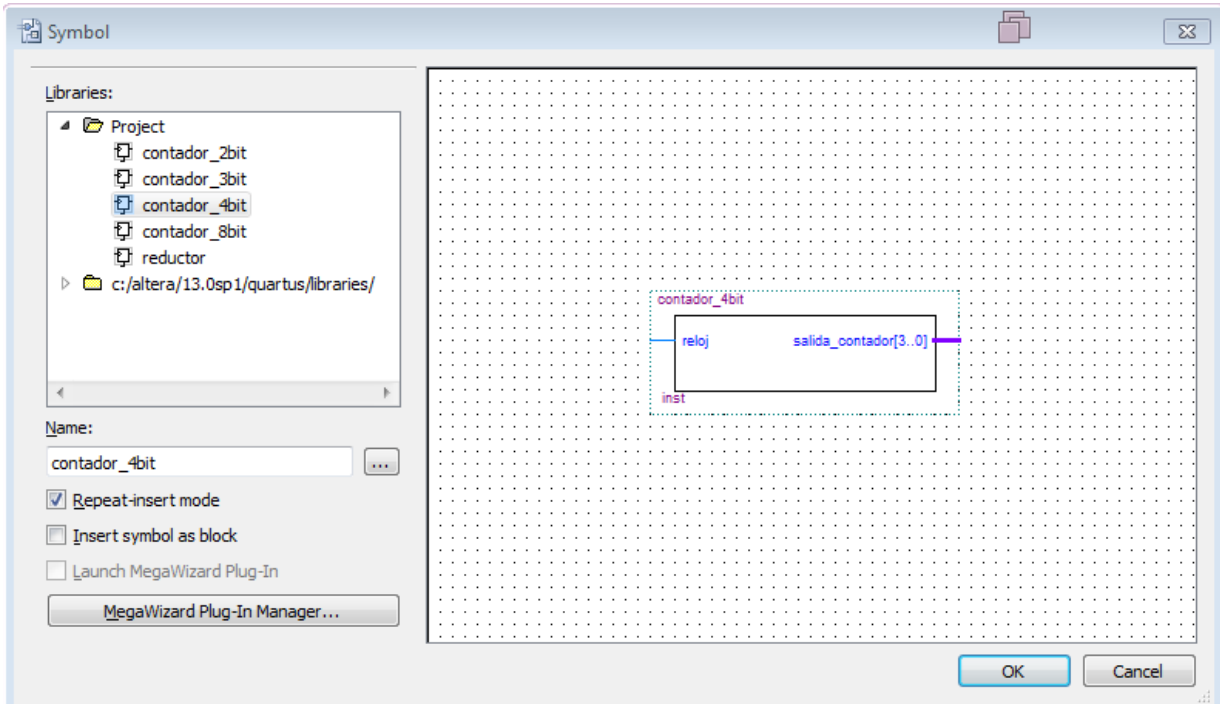


Figura 54 – Símbolo “contador_4bit”.

Dibujar el diagrama esquemático de la figura 55 y guardar los cambios.

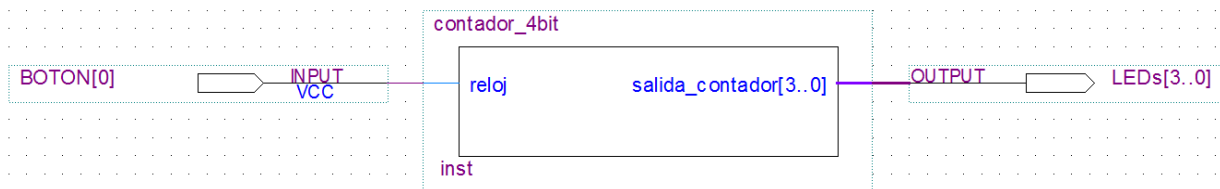


Figura 55 – Diagrama esquemático del contador de 4 bits.

3) Flujo de diseño en el software Quartus Prime.


Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.

Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del contador de 4 bits con su respectivo mapa de tiempos.

Resultados y conclusiones.

El alumno debe implementar el uso del contador de 4 bits dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 8.- Contador BCD en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.


- Usar el software **Quartus Prime**.
- Implementar un contador BCD en Verilog como lenguaje descriptivo de hardware.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en clase: **Contadores**.
- Conocimientos vistos en clase: **Lenguajes de descripción de hardware**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 8, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Seguir los pasos de la práctica 7 para la creación de un archivo para Verilog, guardar el archivo con el nombre de “**contador_bcd.v**”.

En el editor escribir el código de la figura 56 y guardar los cambios.

```

module contador_bcd (reloj, reset, salida_contador);
    input reloj;
    input reset;
    output reg [3:0] salida_contador;

    always @ (posedge reloj or negedge reset)
        begin
            if(!reset)
                salida_contador <= 4'b0000;

            else if(salida_contador >= 4'b1001)
                salida_contador <= 4'b0000;

            else
                salida_contador <= salida_contador + 1'b1;
        end
endmodule

```

Figura 56 – Código del contador BCD en Verilog HDL.

En el menú “File” seleccionar “Create / Update -> Create Symbol Files for Current File”, figura 57.

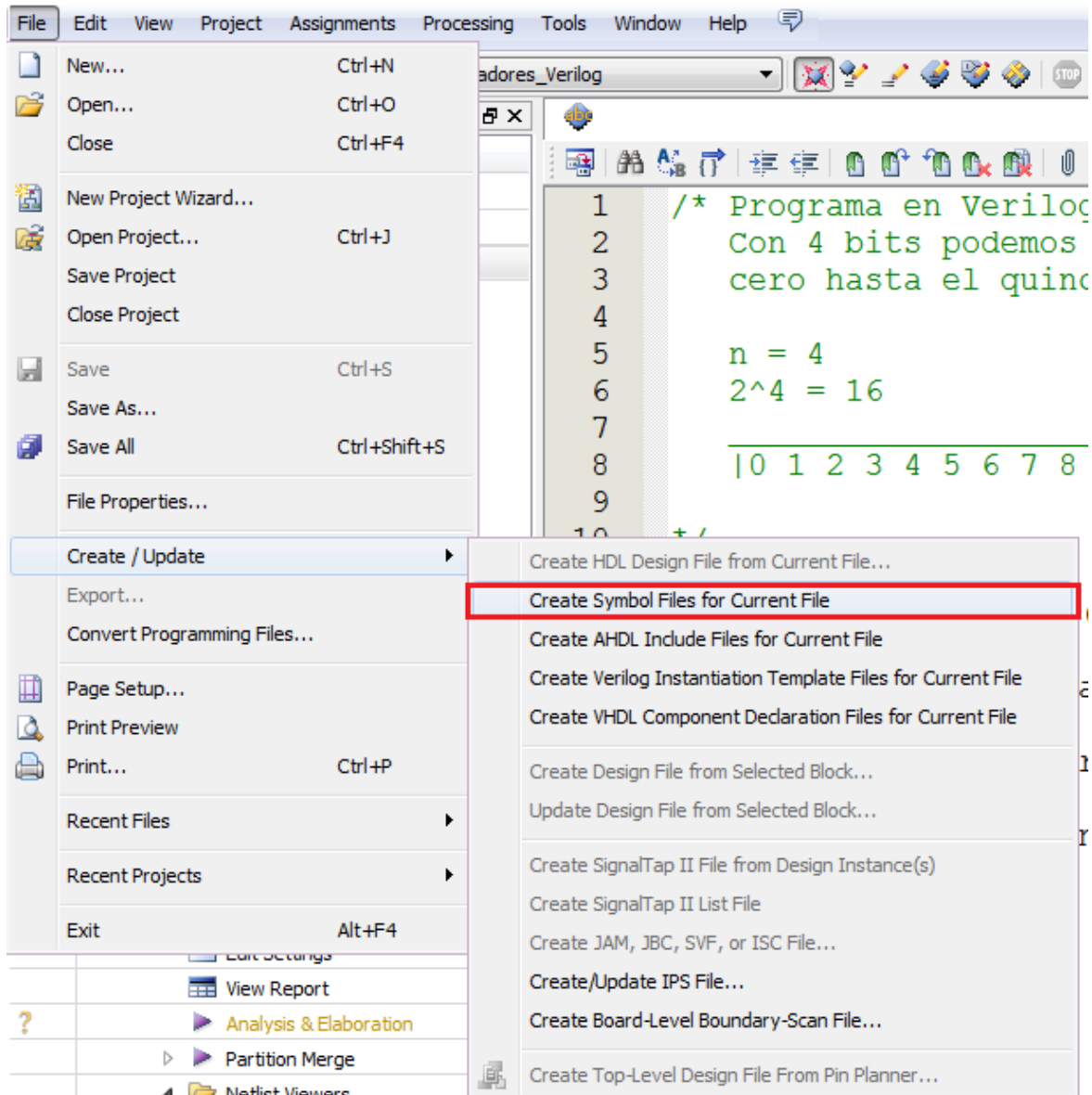


Figura 57 – Creación del símbolo esquemático del contador BCD.

Abrir el diagrama esquemático y presionar en el icono “**Symbol Tool**”, aparece una nueva carpeta llamada “**Project**”, seleccionar el elemento que se acaba de crear “**contador_bcd**”, presionar “**OK**”, figura 58.

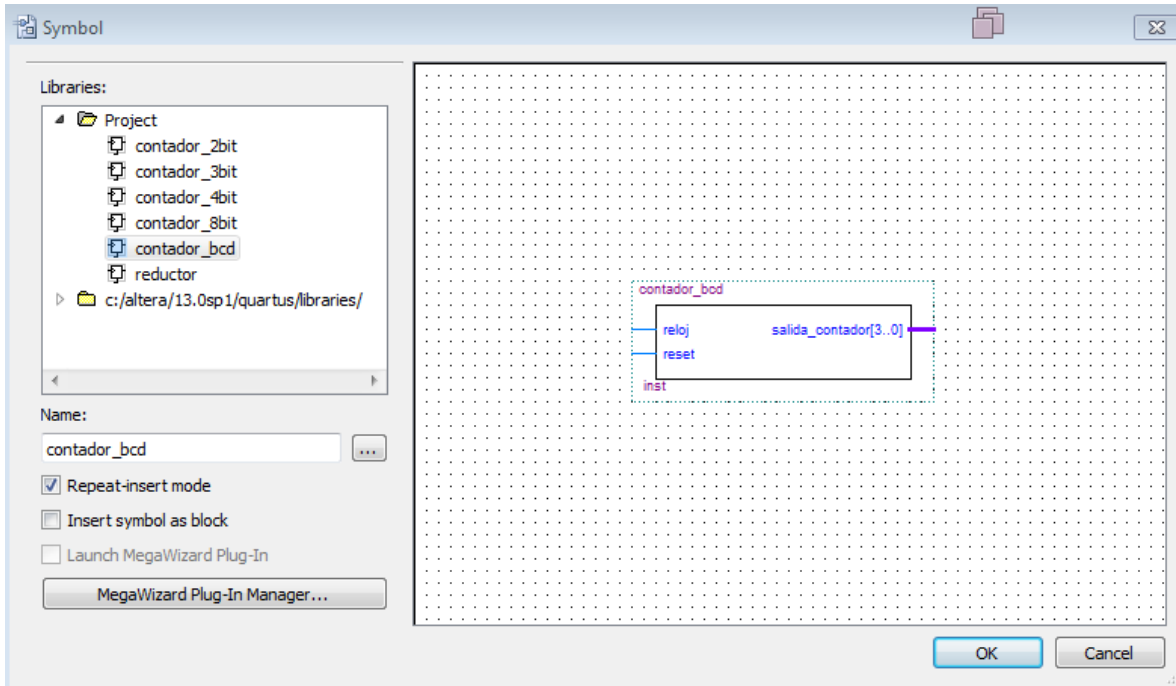


Figura 58 – Símbolo “contador_bcd”.

Dibujar el diagrama esquemático de la figura 59 y guardar los cambios.

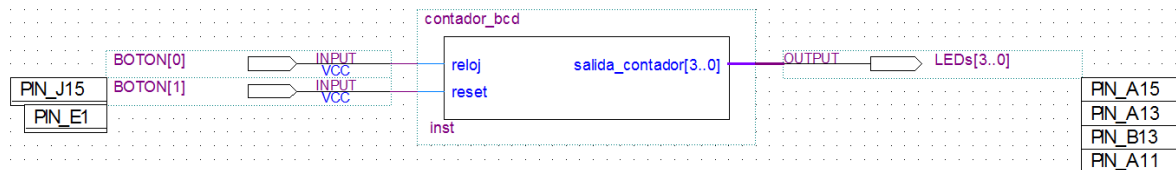



Figura 59 – Diagrama esquemático del contador BCD.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.

Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del contador BCD con su respectivo mapa de tiempos.

Resultados y conclusiones.

El alumno debe implementar el uso del contador BCD dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 9.- Half adder binario en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|---------------|---------------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.


- Usar el software **Quartus Prime**.
- Implementar un medio sumador en Verilog como lenguaje descriptivo de hardware.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Lenguajes de descripción de hardware**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de protoboard (breadboard).

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 9, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Seguir los pasos de la práctica 7 para la creación de un archivo para Verilog, guardar el archivo con el nombre de “**medio_sumador.v**”. En el editor escribir el código de la figura 60 y guardar los cambios.

```

module medio_sumador(a,b,suma,carry);
    input a;
    input b;
    output suma;
    output carry;

    xor(suma,a,b);
    and(carry,a,b);
endmodule

```

Figura 60 – Código del medio sumador en Verilog HDL.

En el menú “**File**” seleccionar “**Create / Update -> Create Symbol Files for Current File**”, figura 61.

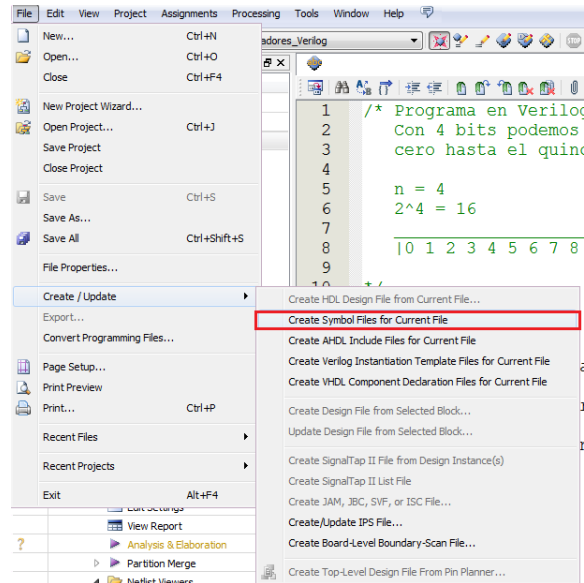


Figura 61 – Creación del símbolo esquemático del contador BCD. Abrir el diagrama esquemático y presionar en el icono “**Symbol Tool**”, aparece una nueva carpeta llamada “**Project**”, seleccionar el elemento que se acaba de crear “**medio_sumador**”, presionar “**OK**”, figura 62.

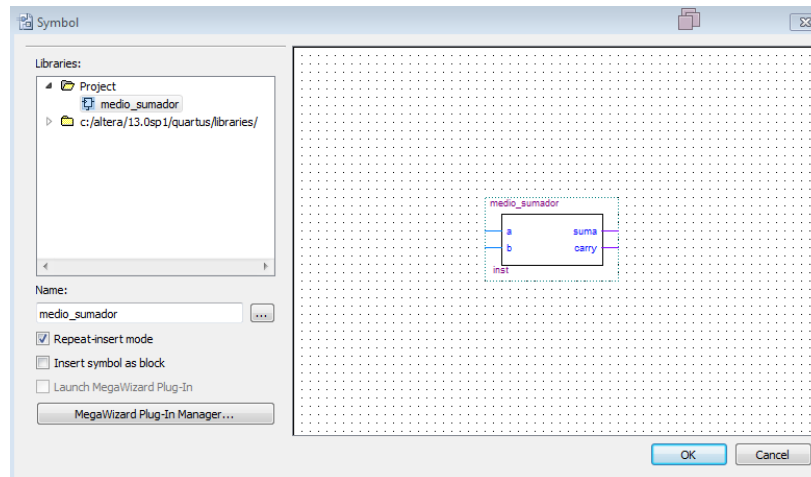


Figura 62 – Símbolo “medio_sumador”.

Dibujar el diagrama esquemático de la figura 63 y guardar los cambios.

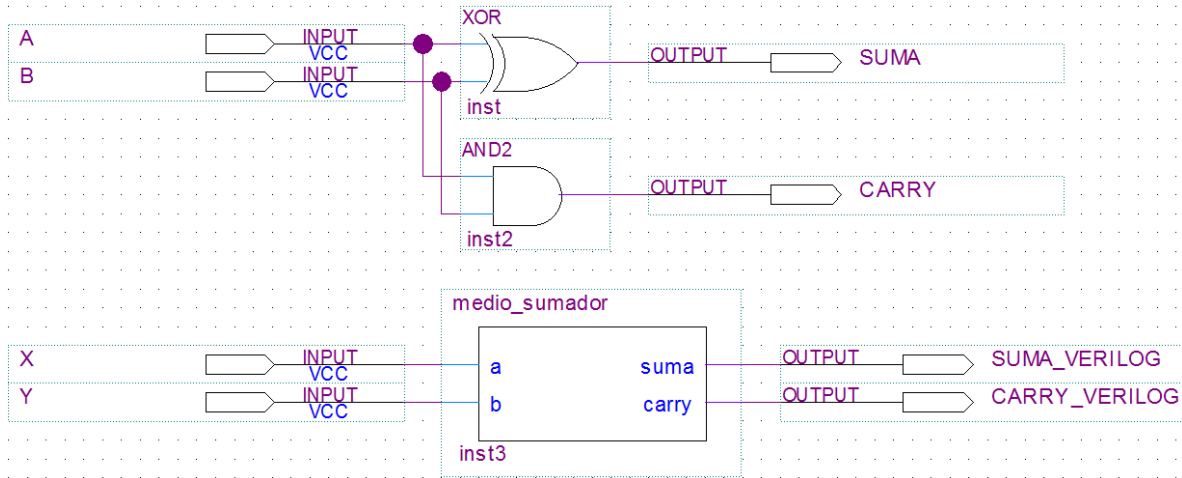


Figura 63 – Medio sumador esquemático vs Verilog.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.

Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.


Por último, comprobar el funcionamiento del medio sumador con su respectivo mapa de tiempos.

Resultados y conclusiones.

El alumno debe implementar el uso del medio sumador dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.

Referencias.


[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg


| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Práctica 10.- Full adder 4 bits en FPGA

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |

| Código | Nombre completo de los alumnos |
|--------|--------------------------------|
| | |
| | |
| | |
| | |
| | |

| | |
|---------------|--|
| Fecha: | |
|---------------|--|

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Objetivos.


- Usar el software **Quartus Prime**.
- Implementar un sumador completo de 4 bits en Verilog como lenguaje descriptivo de hardware.
- Usar el flujo de diseño en **Quartus Prime**.
- Usar el simulador de formas de onda para comprobar el correcto funcionamiento de nuestro diseño.
- Configuración y programación en FPGA físico.

Material y equipo.

- Computadora.
- Software **Quartus Prime** [1].
- Tarjeta de entrenamiento con algún FPGA de Intel [2].
- Programador **USB Blaster** (En caso de que la tarjeta de entrenamiento no lo incluya) [3].
- Cable **J-TAG**.
- Cable USB.
- LEDs (en caso de que la tarjeta de entrenamiento no los incluya).
- Pulsadores (en caso de que la tarjeta de entrenamiento no los incluya).

Trabajo Previo.

- Conocimientos vistos en clase: **Tablas de verdad**.
- Conocimientos vistos en clase: **Lógica combinacional**.
- Conocimientos vistos en clase: **Lenguajes de descripción de hardware**.
- Conocimientos vistos en asignaturas previas: Uso de software tipo **CAD**.
- Conocimientos vistos en asignaturas previas: Interpretación de **diagramas esquemáticos**.
- Conocimientos vistos en asignaturas previas: Conexiones eléctricas y uso de **protoboard (breadboard)**.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Desarrollo.

1) Creación del proyecto para la práctica en Quartus Prime.

Para realizar la práctica 10, seguir los pasos de la práctica 1 desde la creación del proyecto hasta la creación de un archivo para diagrama esquemático.

2) Diseño de compuertas lógicas en diagrama esquemático.

Seguir los pasos de la práctica 7 para la creación de un archivo para Verilog, guardar el archivo con el nombre de “**sumador_completo.v**”. En el editor escribir el código de la figura 64 y guardar los cambios.

```

module sumador_completo(A,B,CarryEntrada,CarrySalida,Suma);
  input  [3:0]A;
  input  [3:0]B;
  input  CarryEntrada;
  output CarrySalida;
  output [3:0]Suma;
  reg   [3:0]Suma;
  reg   CarrySalida;

  always @ (A or B or CarryEntrada)
    begin
      {CarrySalida,Suma} = A + B + CarryEntrada;
    end
endmodule

```

Figura 64 – Código del sumador completo en Verilog HDL.

En el menú “**File**” seleccionar “**Create / Update -> Create Symbol Files for Current File**”, figura 65.

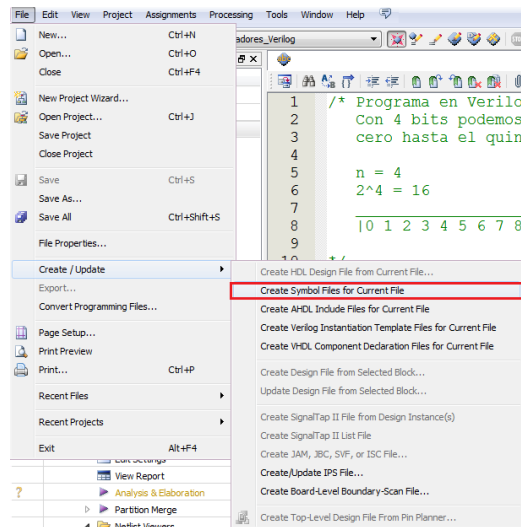


Figura 65 – Creación del símbolo esquemático del contador BCD.

Abrir el diagrama esquemático y presionar en el icono “**Symbol Tool**”, aparece una nueva carpeta llamada “**Project**”, seleccionar el elemento que se acaba de crear “**sumador_completo**”, presionar “**OK**”, figura 66.

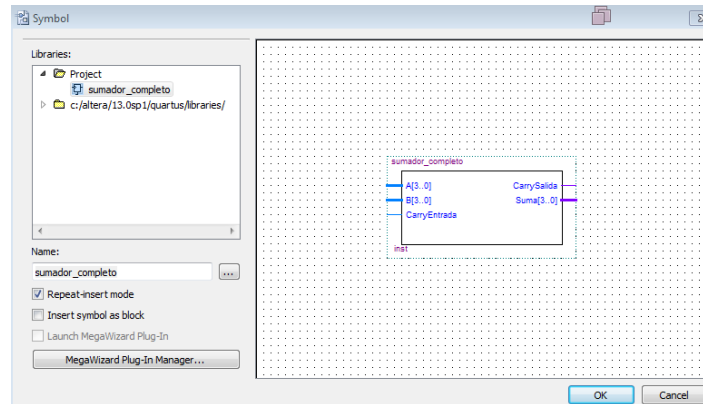


Figura 66 – Símbolo “sumador_completo”.

Dibujar el diagrama esquemático de la figura 67 y guardar los cambios.

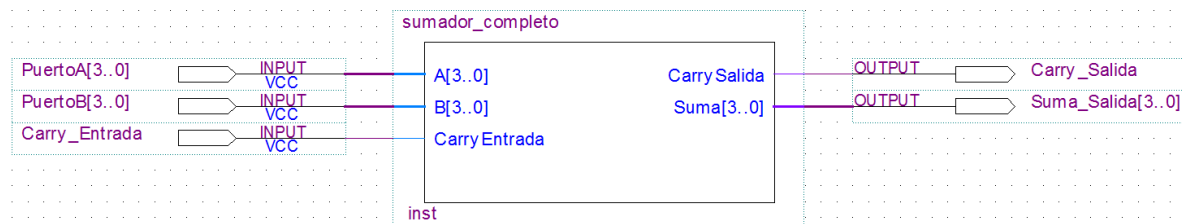


Figura 67 – Diagrama esquemático del sumador completo en Verilog.

3) Flujo de diseño en el software Quartus Prime.

Seguir los pasos de la práctica 1, para realizar un buen flujo de diseño.

4) Simulación funcional del circuito diseñado.


Seguir los pasos de la práctica 1, para realizar la simulación funcional del circuito.

5) Configuración y programación en FPGA físico.

Seguir los pasos de la práctica 1, para realizar la configuración y programación del circuito en el FPGA.

6) Prueba de funcionamiento en FPGA físico.

Por último, comprobar el funcionamiento del sumador completo con su respectivo mapa de tiempos.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Resultados y conclusiones.

El alumno debe implementar el uso del sumador completo dentro de un FPGA, aprender a usar el software Quartus Prime para la descripción de hardware, y comparar los resultados teóricos, simulados y experimentales obtenidos con la finalidad de generar de carácter obligatorio un reporte de práctica con sus propias conclusiones, haciendo énfasis en los objetivos planteados al inicio de la práctica.


Referencias.

[1] <https://fpgasoftware.intel.com/13.0sp1/?edition=web>

[2] https://www.intel.com/content/www/us/en/programmable/products/boards_and_kits/all-development-kits.html

[3] <https://www.mouser.mx/ProductDetail/Intel-Altera/PL-USB-BLASTER-RCN?qs=jblrfmjbeiFezz56mIHRCg==>

[4] https://www.youtube.com/watch?v=4E6_-8fmmWg

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Apéndice A.- Quartus Prime Web Edition

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |
| Fecha: | |

1) Obtener Quartus Prime.

Con un navegador web ingresar a la página:

<https://www.intel.com/content/www/us/en/programmable/downloads/download-center.html>. Buscar la versión que sea compatible con el FPGA de la tarjeta de entrenamiento a usar, en figura 68.

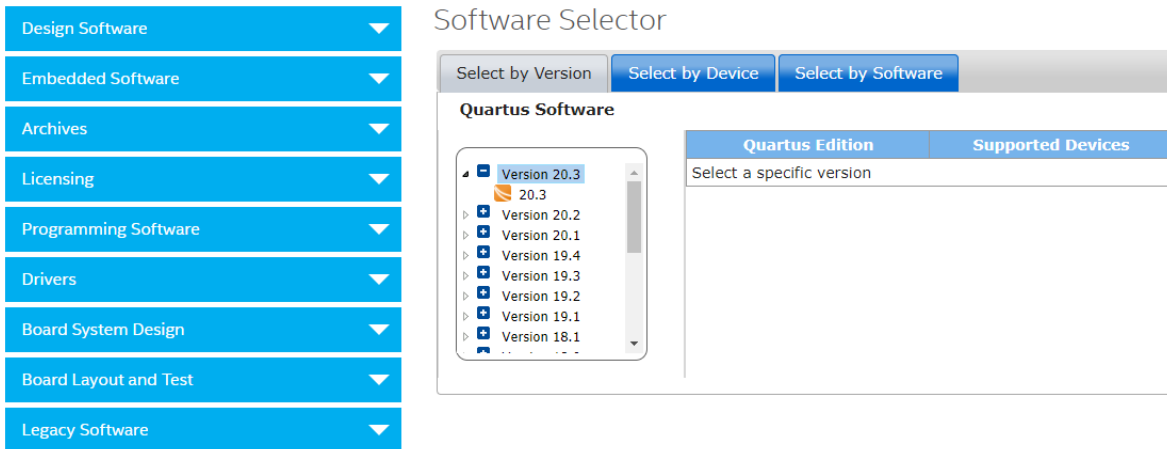


Figura 68 – Página de descarga para Quartus Prime

En este ejemplo se usará la versión “13.0 sp1” por ser la última compatible con la tarjeta “Cyclone II EP2C5 Mini Dev Board”, la edición a descargar será la “web edition”, esta es la versión gratuita, limita el tamaño del proyecto y algunas funciones avanzadas, en figura 69.

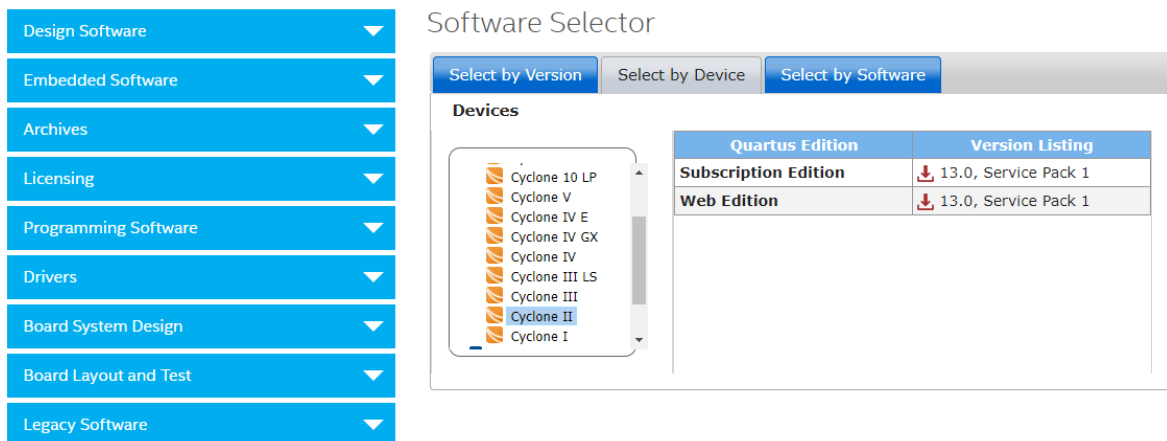



Figura 69 – Quartus Prime 13.0 sp1 Web Edition

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

2) Instalación Quartus Prime.

Ejecutar el instalar “**QuartusSetupWeb-13.0.1.232.exe**” como administrador, figura 70.

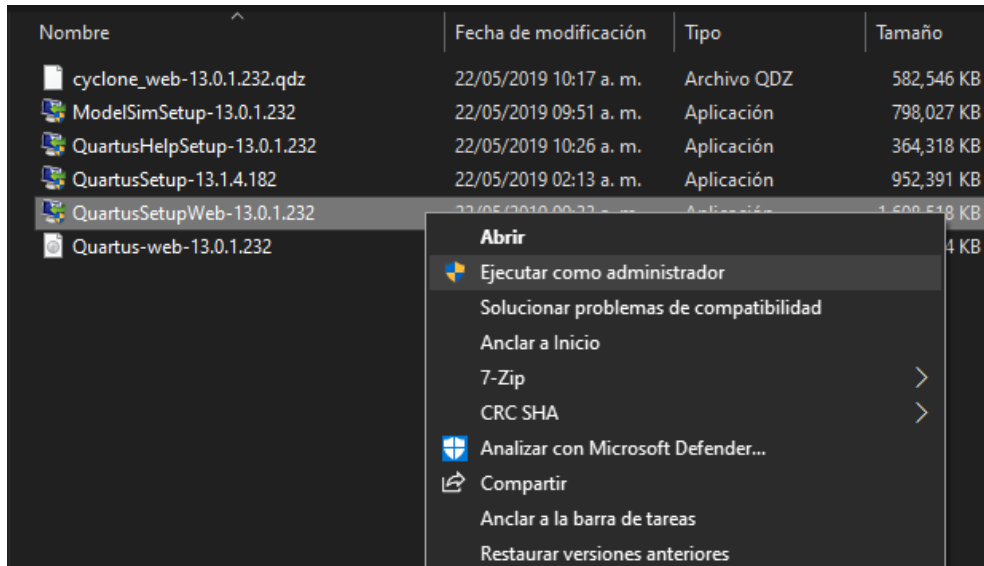


Figura 70 – Privilegios para instalar como administrador.

En la ventana de bienvenida del asistente, presionar el botón “**Next >**”, figura 71.

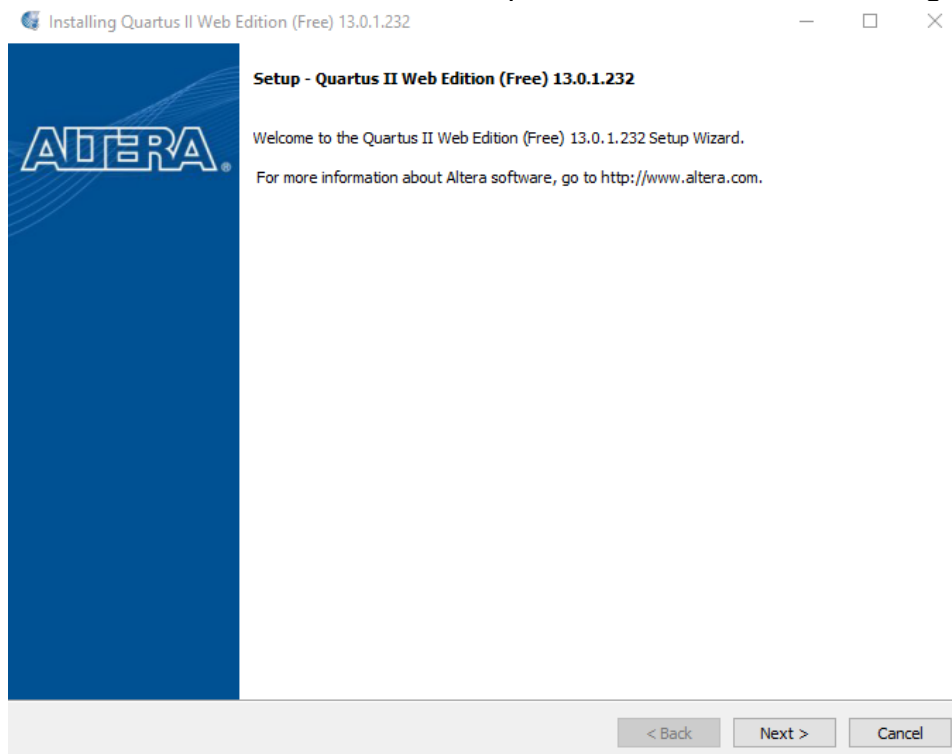



Figura 71 – Ventana del asistente para la instalación.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Seleccionar “**I accept the agreement**”, y presionar el botón “**Next**”, figura 72

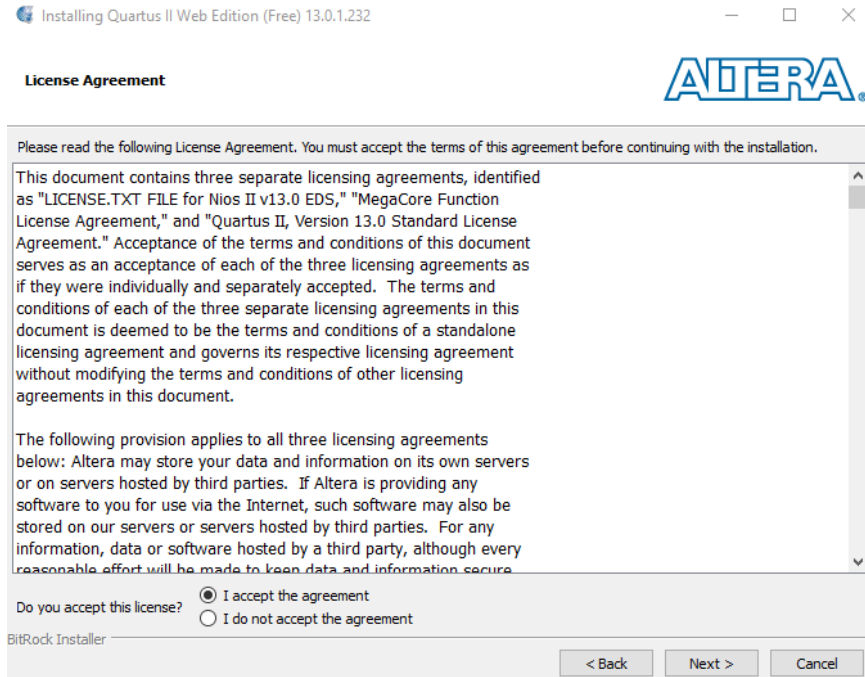



Figura 72 – Ventana “**Acuerdo de Licencia**”.

Elegir la ubicación en alguna unidad de almacenamiento para instalar el software, figura 73



Figura 73 – Ventana “**Install directory**”.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Seleccionamos los componentes a instalar del software, para usar la versión gratuita se recomienda no modificar nada y presionar el botón **“Next >”**, figura 74.

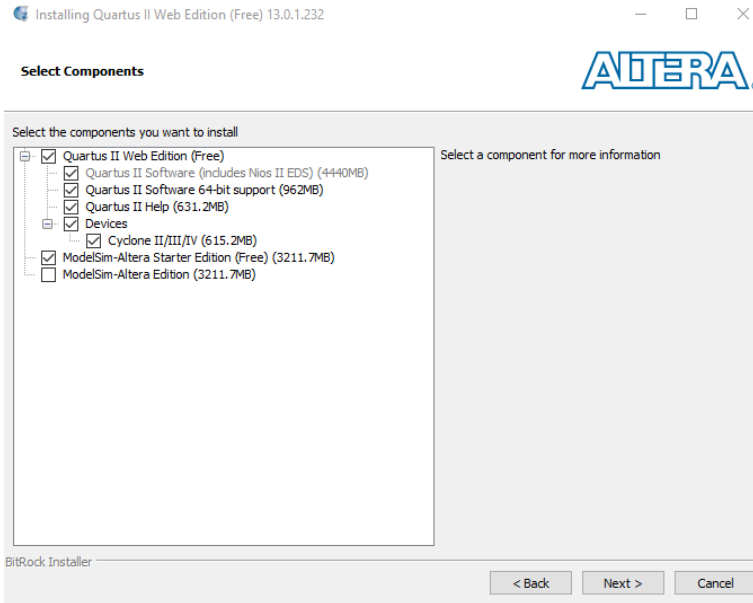


Figura 74 – Ventana **“Select Components”**.

En esta ventana aparece la información de donde se instalará el software, cuanto espacio requiere y cuanto espacio queda libre en la unidad de almacenamiento que elegimos para la instalación, presionar botón **“Next >”** para comenzar la instalación y esperar a que finalice, figura 75.

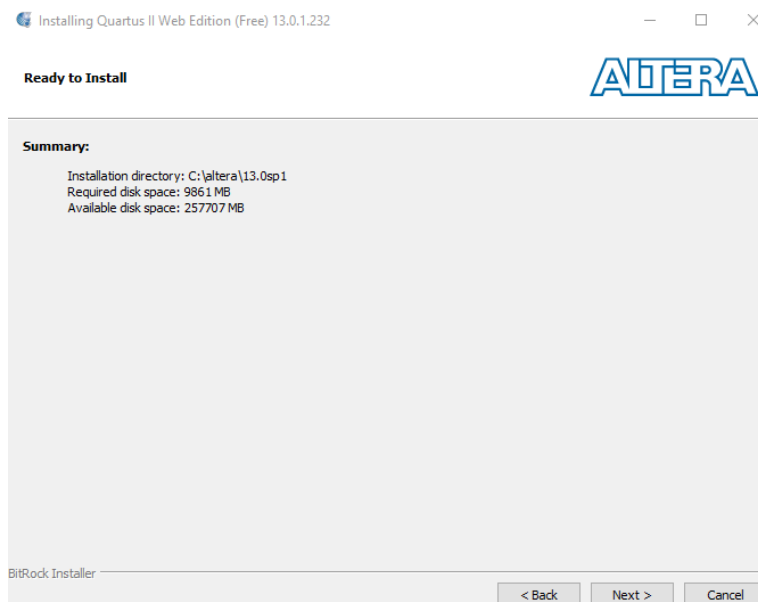




Figura 75 – Ventana **“Ready to Install”**.

| | | |
|---|--|-------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión |
| | | Junio 2020 |

Apéndice B.- Instalación de drivers USB-Blaster

| | |
|------------------------------|--|
| Carrera: | |
| Nombre de la materia: | |
| Fecha: | |

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

- 1) **Comprobar que la computadora detecte el programador USB-Blaster.**
 Abrir “Panel de control” y seleccionar “Administrador de dispositivos”, figura 76.

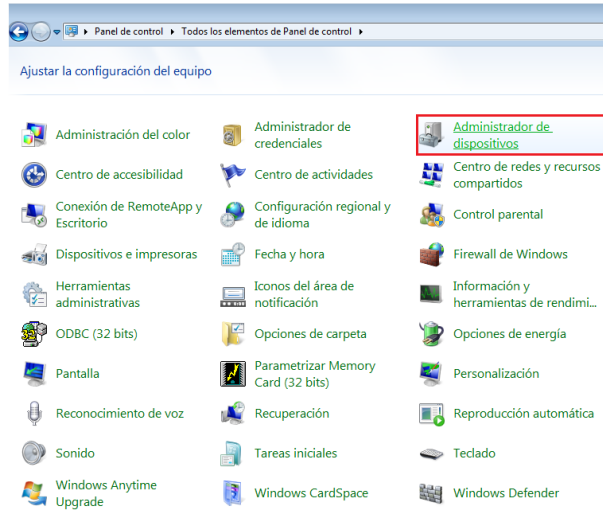


Figura 76 – Administrador de dispositivos en “Panel de control”.

Aparecerá la ventana “Administrador de dispositivos”, ubicar el dispositivo “USB-Blaster” en la sección “Otros dispositivos”, figura 77.

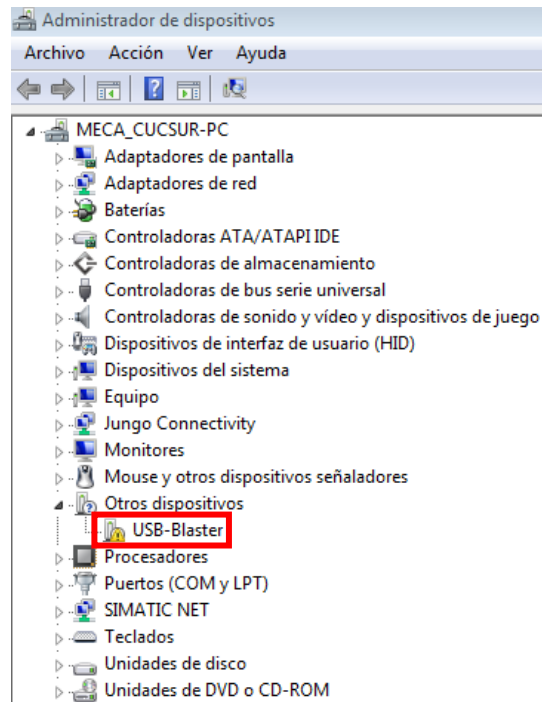



Figura 77 – USB-Blaster como dispositivo no reconocido

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

2) Instalación de drivers.

Click derecho en el dispositivo **USB-Blaster**, seleccionar “**Actualizar software de controlador...**”, figura 78.

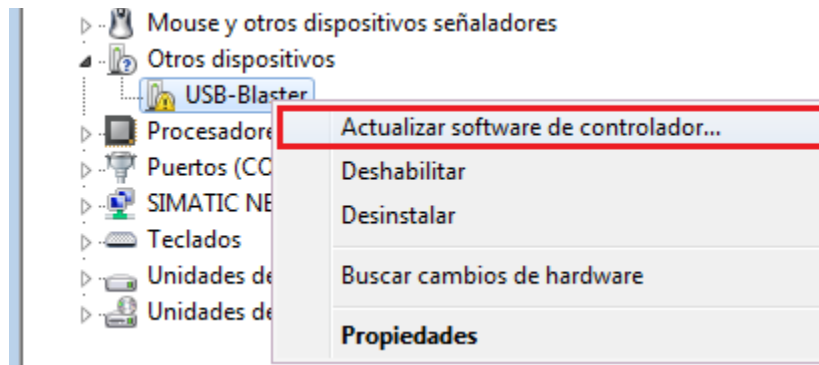


Figura 78 – Menú emergente del administrador de dispositivos.

En la ventana “**Actualizar software de controlador**”, seleccionar “**Buscar software de controlador en el equipo**”, figura 79.

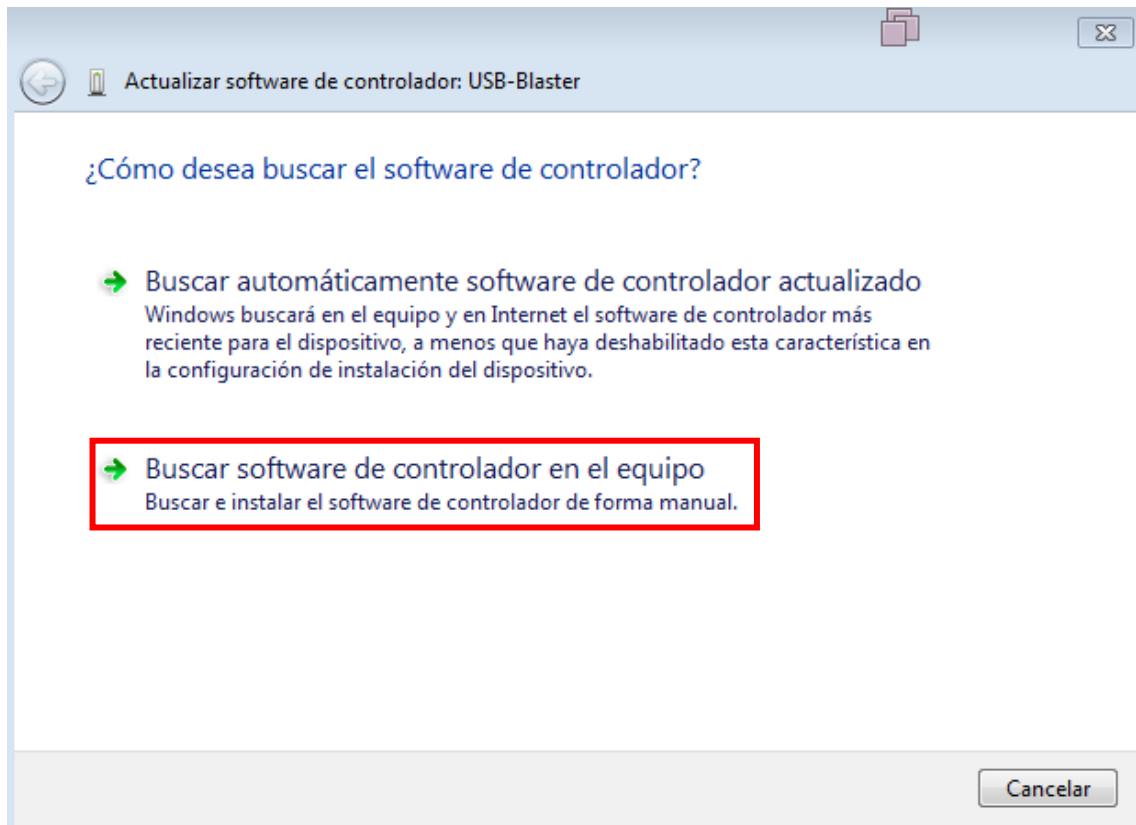



Figura 79 – Ventana del asistente para la instalación de drivers.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Presionar el botón “**Examinar**” para buscar la carpeta que contiene los drivers, figura 80.

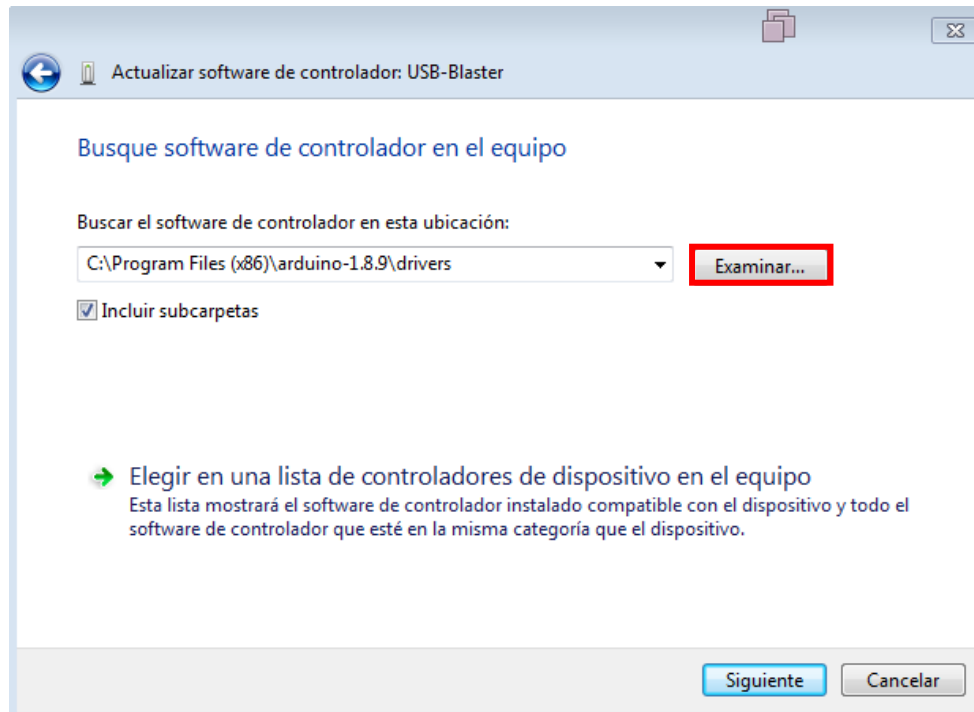


Figura 80 – Búsqueda de drivers.

La ubicación es: **C:\altera\version_instalada\quartus\drivers\usb-blaster**. Una vez ubicada la carpeta, presionar el botón “**Aceptar**”, figura 81.

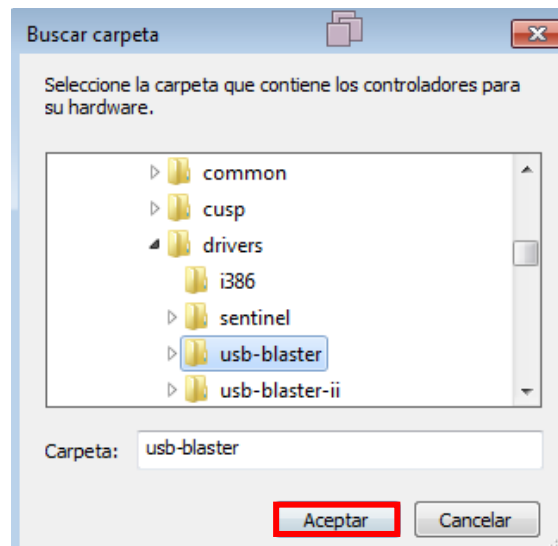



Figura 81 – Ventana “**Buscar carpeta**”.

| | | |
|---|--|---------------------------------|
|  | UNIVERSIDAD DE GUADALAJARA CENTRO UNIVERISTARIO DE LA COSTA SUR DEPARTAMENTO DE INGENIERÍAS | Academia de Electrónica |
| | Manual de Prácticas Diseño Electrónico Digital | Fecha de Revisión Junio 2020 |

Presionar el botón “**Siguiente**”, figura 82.

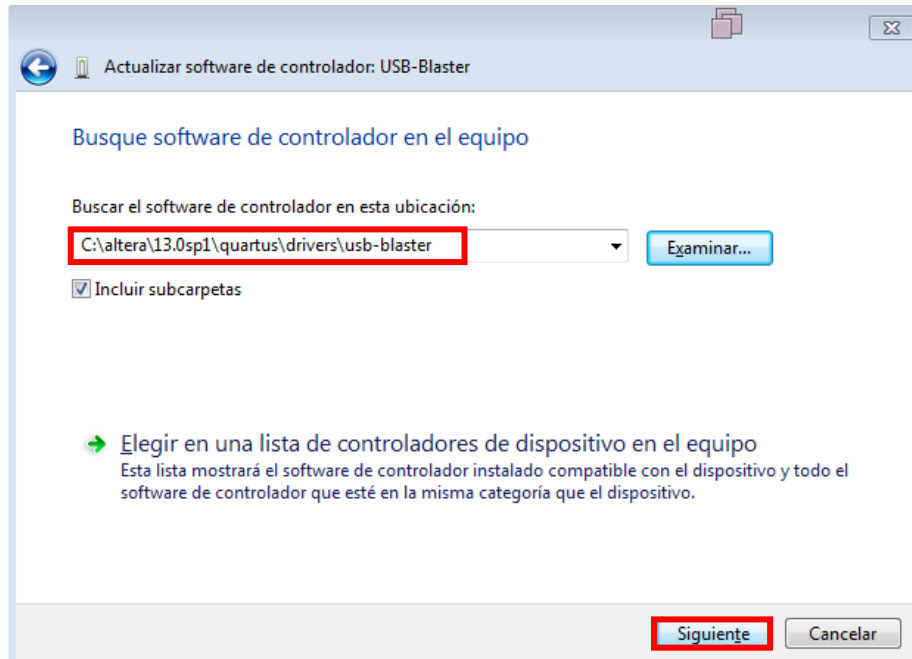


Figura 82 – Ejemplo de ubicación de drivers para “**USB-Blaster**”.

Los drivers se instalarán automáticamente, mostrando el dispositivo como “**Altera USB-Blaster**”, figura 83.

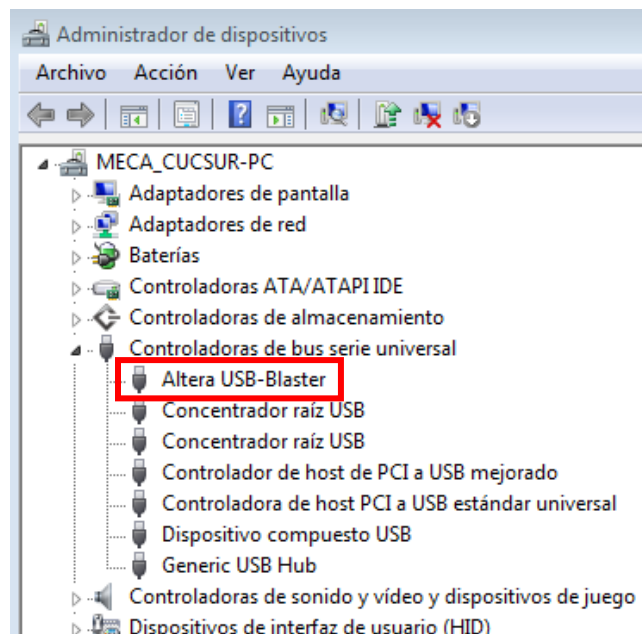


Figura 83 – Drivers del programador “**USB-Blaster**” instalados correctamente.

DIRECTORIO



UNIVERSIDAD DE GUADALAJARA

DR. RICARDO VILLANUEVA LOMELÍ
RECTOR GENERAL

DR. HÉCTOR RAÚL SOLÍS GADEA
VICERRECTOR EJECUTIVO

MTRO. GUILLERMO ARTURO GÓMEZ MATA
SECRETARIO GENERAL



CENTRO UNIVERSITARIO DE LA COSTA SUR

DRA. LILIA VICTORIA OLIVER SÁNCHEZ
RECTORA

DR. HIRINEO MARTÍNEZ BARRAGÁN
SECRETARIO ACADÉMICO

DR. LUIS CARLOS GÁMEZ ADAME
SECRETARIO ADMINISTRATIVO

MTRO. ENRIQUE JARDEL PELÁEZ
DIRECTOR DE LA DIVISIÓN DE DESARROLLO REGIONAL

DR. DANIEL EDÉN RAMÍREZ ARREOLA
JEFE DEL DEPARTAMENTO DE INGENIERÍAS

Av. Independencia Nacional No. 151, Autlán de Navarro, Jalisco, C.P. 48900
Tel. (317) 382 5010 www.cucsur.udg.mx

Centro Universitario de la Costa Sur CU Costa Sur UdeG @CUCSur CU Costa Sur @cucostasur